

Family list

8 application(s) for: JP2003195815

Sorting criteria: Priority Date Inventor Applicant Ecla

1 Active matrix display and active matrix organic electroluminescence display

Inventor: AKIRA YUMOTO [JP]

Applicant: SONY CORP [JP]

EC: G09G3/32A14C

IPC: G09F9/30; G09G3/20; G09G3/30; (+12)

Publication CN1404600 (A) - 2003-03-19

Priority Date: 2000-11-07

info: CN1189855 (C) - 2005-02-16

2 ACTIVE MATRIX DISPLAY AND ACTIVE MATRIX ORGANIC ELECTROLUMINESCENCE DISPLAY

Inventor: YUMOTO AKIRA [JP]

Applicant: SONY CORP [JP]

EC: G09G3/32A14C

IPC: G09F9/30; G09G3/20; G09G3/30; (+12)

Publication EP1333422 (A1) - 2003-08-06

Priority Date: 2000-11-07

info:

3 ACTIVE MATRIX DISPLAY DEVICE

Inventor: YUMOTO AKIRA

Applicant: SONY CORP

EC:

IPC: G09G3/20; G09G3/30; H01L51/50

Publication JP2006309256 (A) - 2006-11-09

Priority Date: 2000-11-07

info: JP4211807 (B2) - 2009-01-21

4 ACTIVE MATRIX TYPE DISPLAY DEVICE AND ACTIVE MATRIX TYPE ORGANIC ELECTROLUMINESCENCE DISPLAY DEVICE

Inventor: YUMOTO AKIRA

Applicant: SONY CORP

EC: G09G3/32A14C

IPC: G09F9/30; G09G3/20; G09G3/30; (+15)

Publication JP2003195815 (A) - 2003-07-09

Priority Date: 2000-11-07

info:

5 Active matrix type display apparatus and active matrix type organic electroluminescent display apparatus

Inventor: YUMOTO AKIRA [JP]

Applicant: SONY CORP [JP]

EC: G09G3/32A14C

IPC: G09F9/30; G09G3/20; G09G3/30; (+12)

Publication TW538649 (B) - 2003-06-21

Priority Date: 2000-11-07

info:

6 Active matrix display and active matrix organic electroluminescence display

Inventor: YUMOTO AKIRA [JP]

Applicant: YUMOTO AKIRA, ; SONY CORPORATION

EC: G09G3/32A14C

IPC: G09G3/32; G09G3/36; G09G3/32; (+2)

Publication US2003128200 (A1) - 2003-07-10

Priority Date: 2000-11-07

info: US7015882 (B2) - 2006-03-21

7 Active-matrix display device, and active-matrix organic electroluminescent display device

Inventor: YUMOTO AKIRA [JP]

Applicant:

EC: G09G3/32A14C

IPC: G09F9/30; G09G3/20; G09G3/30; (+11)

Publication US2006119552 (A1) - 2006-06-08

Priority Date: 2000-11-07

info:

8 ACTIVE MATRIX DISPLAY AND ACTIVE MATRIX ORGANIC ELECTROLUMINESCENCE DISPLAY

Inventor: YUMOTO AKIRA [JP]

Applicant: SONY CORP [JP] ; YUMOTO AKIRA [JP]

EC: G09G3/32A14C

IPC: G09F9/30; G09G3/20; G09G3/30; (+12)

Publication WO0239420 (A1) - 2002-05-16

Priority Date: 2000-11-07

info:

ACTIVE MATRIX TYPE DISPLAY DEVICE AND ACTIVE MATRIX TYPE ORGANIC ELECTROLUMINESCENCE DISPLAY DEVICE

Publication number: JP2003195815 (A)

Publication date: 2003-07-09

Inventor(s): YUMOTO AKIRA +

Applicant(s): SONY CORP +

Classification:

- international: G09F9/30; G09G3/20; G09G3/30; G09G3/32; H01L27/32; H01L51/50; G09G3/36; G09F9/30; G09G3/20; G09G3/30; G09G3/32; H01L27/28; H01L51/50; G09G3/36; (IPC1-7): G09F9/30; G09G3/20; G09G3/30; H05B33/14

- European: G09G3/32A14C

Application number: JP20010339772 20011105

Priority number(s): JP20010339772 20011105; JP20000338688 20001107;
JP20010231807 20010731; JP20010320936 20011018

Also published as:

EP1333422 (A1)

TW538649 (B)

CN1404600 (A)

CN1189855 (C)

006119552 (A1)

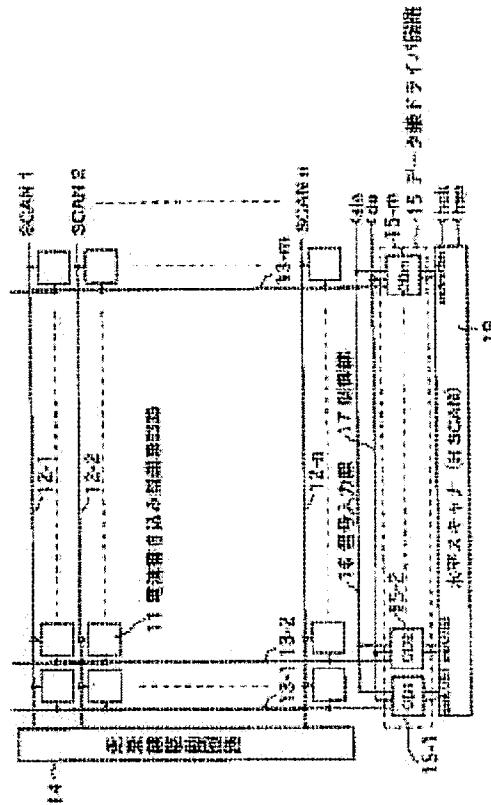
[more >>](#)

Abstract of JP 2003195815 (A)

PROBLEM TO BE SOLVED: To solve the problem wherein data need to be written to respective pixels in line sequence when a current write type pixel circuit is employed. ; **SOLUTION:** An active matrix type display device constituted by arranging current write type pixel circuits 11 in matrix is provided with a data line driver circuit 15 comprising (m) current driver circuits (CD) 15-1 to 15-m provided corresponding to data lines 13-1 to 13-m; and the data line driver circuit 15 temporarily holds image data (luminance data in this example) and then supplies them in the form of current to the data lines 13-i to 13-m to perform write driving for image information to the respective pixel circuits 11. ;

COPYRIGHT: (C)2003,JPO

COPYRIGHT: (C)2003,JPO



Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-195815

(P2003-195815A)

(43)公開日 平成15年7月9日(2003.7.9)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 09 G 3/30		G 09 G 3/30	K 3K007
G 09 F 9/30	3 3 8	G 09 F 9/30	3 3 8 5 C 080
	3 6 5		3 6 5 Z 5 C 094
G 09 G 3/20	6 2 1	G 09 G 3/20	6 2 1 E
	6 2 4		6 2 4 B

審査請求 有 請求項の数60 OL (全31頁) 最終頁に続く

(21)出願番号	特願2001-339772(P2001-339772)	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成13年11月5日(2001.11.5)	(72)発明者	湯本 昭 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(31)優先権主張番号	特願2000-338688(P2000-338688)	(74)代理人	100086298 弁理士 船橋 國則
(32)優先日	平成12年11月7日(2000.11.7)		
(33)優先権主張国	日本 (JP)		
(31)優先権主張番号	特願2001-231807(P2001-231807)		
(32)優先日	平成13年7月31日(2001.7.31)		
(33)優先権主張国	日本 (JP)		
(31)優先権主張番号	特願2001-320936(P2001-320936)		
(32)優先日	平成13年10月18日(2001.10.18)		
(33)優先権主張国	日本 (JP)		

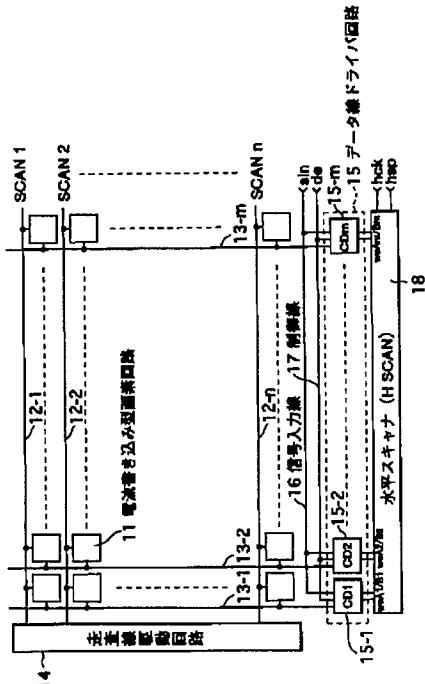
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型表示装置およびアクティブマトリクス型有機エレクトロルミネッセンス表示装置

(57)【要約】

【課題】 電流書き込み型の画素回路を採用した場合には、各画素へのデータの書き込みを線順次で行う必要がある。

【解決手段】 電流書き込み型画素回路11をマトリクス状に配置してなるアクティブマトリクス型表示装置において、データ線13-1～13-mの各々に対応して設けられたm個の電流ドライバ回路(CD)15-1～15-mからなるデータ線ドライバ回路15を設け、このデータ線ドライバ回路15で画像データ(本例では、輝度データ)を一旦保持し、かかる後これを電流の形でデータ線13-1～13-mの各々に与えることによって各画素回路11に対する画像情報の書き込み駆動を行うようする。



【特許請求の範囲】

【請求項 1】 画像情報が電流の形で与えられる画素回路がマトリクス状に配置されるとともに、これら各画素回路を選択する複数本の走査線および各画素回路に画像情報を供給する複数本のデータ線が配線されてなる表示部と、

画像情報を一旦保持した後電流の形で前記複数本のデータ線の各々に与えることによって各画素回路に対する画像情報の書き込み駆動を行う駆動回路とを備えたことを特徴とするアクティブマトリクス型表示装置。

【請求項 2】 前記画素回路の各々は、流れる電流によって輝度が変化する電気光学素子を有し、前記駆動回路は、輝度に応じた大きさの電流を、前記複数本のデータ線を介して前記画素回路の各々に流すことによって画像情報の書き込みを行うことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 3】 前記駆動回路は前記複数本のデータ線毎に設けられ、前記画像情報を電圧の形で保持する保持部と、前記保持部にて保持した電圧を電流に変換して前記複数本のデータ線の各々に供給する駆動部とを有することを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 4】 前記駆動回路は前記画像情報が電流の形で与えられ、この電流を電圧に変換する変換部を有し、この変換部で変換した電圧を前記保持部で保持することを特徴とする請求項 3 記載のアクティブマトリクス型表示装置。

【請求項 5】 前記駆動回路において、前記変換部は、ドレンとゲートとが電気的に短絡された状態にあるとき、前記画像情報が電流の形で供給されることによってそのゲート・ソース間に電圧を発生する第 1 の電界効果トランジスタを含み、

前記保持部は、前記第 1 の電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタを含み、

前記駆動部は、前記キャパシタの保持電圧に基づいて前記複数本のデータ線の各々を駆動する第 2 の電界効果トランジスタを含むことを特徴とする請求項 4 記載のアクティブマトリクス型表示装置。

【請求項 6】 画像情報が電流の形で与えられる画素回路がマトリクス状に配置されるとともに、これら各画素回路を選択する複数本の走査線および各画素回路に画像情報を供給する複数本のデータ線が配線されてなる表示部と、

画像情報を一旦保持した後電流の形で前記複数本のデータ線の各々に与えることによって各画素回路に対する画像情報の書き込み駆動を行う駆動回路とを備え、前記駆動回路は、前記画像情報が電流の形で与えられ、この電流を電圧に変換する変換部と、この変換部で変換した電圧を保持する保持部と、該保持部にて保持した電

圧を電流に変換して前記複数本のデータ線の各々に供給する駆動部とを有し、

前記変換部と前記駆動回路に前記画像情報を供給する電流源との間に、前記画像情報の書き込み時に飽和領域で動作するインピーダンス変換用トランジスタを有することを特徴とするアクティブマトリクス型表示装置。

【請求項 7】 前記変換部は、ドレンとゲートとが電気的に短絡された状態にあるとき、前記画像情報が電流の形で供給されることによってそのゲート・ソース間に電圧を発生する第 1 の電界効果トランジスタを含み、前記保持部は、前記第 1 の電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタを含み、

前記駆動部は、前記キャパシタの保持電圧に基づいて前記複数本のデータ線の各々を駆動する第 2 の電界効果トランジスタを含み、

前記第 1 の電界効果トランジスタと前記駆動回路に前記画像情報を供給する電流源との間に、前記画像情報の書き込み時に飽和領域で動作するインピーダンス変換用トランジスタを有することを特徴とする請求項 6 記載のアクティブマトリクス型表示装置。

【請求項 8】 前記インピーダンス変換用トランジスタは、前記第 1 の電界効果トランジスタと導電型の異なるトランジスタであり、前記駆動回路毎に設けられていることを特徴とする請求項 7 記載のアクティブマトリクス型表示装置。

【請求項 9】 前記複数本のデータ線毎に設けられた前記駆動回路がブロック化されており、前記インピーダンス変換用トランジスタは、ブロック内の複数の駆動回路に対して共通に設けられていることを特徴とする請求項 7 記載のアクティブマトリクス型表示装置。

【請求項 10】 前記駆動回路は、前記第 1、第 2 の電界効果トランジスタとして同一のトランジスタを用い、前記第 1 の電界効果トランジスタによる電流-電圧の変換と、それに基づく前記第 2 の電界効果トランジスタによるデータ線の駆動とを時分割的に行うことを特徴とする請求項 5 記載のアクティブマトリクス型表示装置。

【請求項 11】 前記駆動回路は、前記画像情報を入力する信号入力線と前記第 1 の電界効果トランジスタとを接続または遮断する第 1 のスイッチ素子と、前記第 1 の電界効果トランジスタのドレンとゲートとを接続または遮断する第 2 のスイッチ素子とを有し、

前記画像情報の取り込み時には前記第 1 および第 2 のスイッチ素子を接続状態とし、その取り込み終了時には前記第 2 のスイッチ素子を遮断状態とし、かかる後前記第 1 のスイッチ素子を遮断状態とすることを特徴とする請求項 5 記載のアクティブマトリクス型表示装置。

【請求項 12】 前記駆動回路は、前記第 1、第 2 の電界効果トランジスタとしてほぼ同一の特性を有するト

ンジスタを用い、

前記第1，第2の電界効果トランジスタは、カレントミラー回路を形成していることを特徴とする請求項5記載のアクティブマトリクス型表示装置。

【請求項13】 前記駆動回路は、前記画像情報を入力する信号入力線と前記第1の電界効果トランジスタとを接続または遮断する第1のスイッチ素子と、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートとを接続または遮断する第2のスイッチ素子とを有し、前記画像情報の取り込み時には前記第1および前記第2のスイッチ素子を接続状態とし、その取り込み終了時には前記第2のスイッチ素子を遮断状態とし、かかる後前記第1のスイッチ素子を遮断状態とすることを特徴とする請求項12記載のアクティブマトリクス型表示装置。

【請求項14】 前記駆動回路において、前記第1の電界効果トランジスタのチャネル幅／チャネル長が、前記第2の電界効果トランジスタのチャネル幅／チャネル長よりも大きいことを特徴とする請求項13記載のアクティブマトリクス型表示装置。

【請求項15】 前記駆動回路は、前記第1のスイッチ素子と前記第1の電界効果トランジスタとの間に接続された第3の電界効果トランジスタと、前記第3の電界効果トランジスタのドレインとゲートとの間を接続または遮断する第3のスイッチ素子と、前記第3の電界効果トランジスタのゲートに接続された第2のキャパシタとを有し、

前記第1の電界効果トランジスタが前記第2のスイッチ素子により、また前記第3の電界効果トランジスタが前記第3のスイッチ素子により、共にドレインとゲートとが接続された状態にあるとき、これらトランジスタのドレイン・ソース間に前記第1のスイッチ素子を通して前記画像情報が電流の形で供給されることを特徴とする請求項11記載のアクティブマトリクス型表示装置。

【請求項16】 前記複数本のデータ線毎に設けられた複数個の前記駆動回路は、同一の信号入力線を共有し、これを時分割的に使用しつつ画像情報の取り込みを行うことを特徴とする請求項3記載のアクティブマトリクス型表示装置。

【請求項17】 前記駆動回路は、前記画像情報が電圧の形で与えられ、この電圧を前記保持部で保持することを特徴とする請求項3記載のアクティブマトリクス型表示装置。

【請求項18】 前記駆動回路において、前記保持部は、前記画像情報に応じた電圧を保持する保持キャパシタを含み、前記駆動回路は、前記保持キャパシタの保持電圧に基づいて前記複数本のデータ線の各々を駆動する電界効果トランジスタを含み、前記電界効果トランジスタは、そのゲート・ドレインを

電気的に短絡される動作の後、そのゲートと信号入力線とが書き込みキャパシタを介して容量結合された状態で画像情報が与えられることを特徴とする請求項17記載のアクティブマトリクス型表示装置。

【請求項19】 前記駆動回路は、前記書き込みキャパシタの信号入力線側ノードと所定の電位点との間に接続されたスイッチ素子を有し、前記電界効果トランジスタがそのゲート・ドレイン間を電気的に接続される動作が行われている間に、前記スイッチ素子が短絡されることによって前記書き込みキャパシタの信号入力線側ノードが前記所定の電位となることを特徴とする請求項18記載のアクティブマトリクス型表示装置。

【請求項20】 前記駆動回路は、1本のデータ線について複数系統ずつ設けられていることを特徴とする請求項3記載のアクティブマトリクス型表示装置。

【請求項21】 前記駆動回路は、1本のデータ線について2系統ずつ設けられ、一方の系統の駆動回路がデータ線を駆動する間に他方の系統の駆動回路が画像情報の取り込みを行うことを特徴とする請求項20記載のアクティブマトリクス型表示装置。

【請求項22】 前記駆動回路は、1本のデータ線について3系統ずつ設けられ、ある走査サイクルにおいて1系統の駆動回路がリセット動作を、他の1系統の駆動回路がデータ被書き込み動作を、残りの1系統がデータ線駆動動作を行うことを特徴とする請求項20記載のアクティブマトリクス型表示装置。

【請求項23】 前記駆動回路を構成するトランジスタは、前記画素回路を構成するトランジスタと同時に形成される薄膜トランジスタであることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項24】 前記画像情報を入力する信号入力線と所定の電位点との間にリーク素子を有することを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項25】 前記画像情報を入力する信号入力線と所定の電位点との間に、前記信号入力線を通して前記駆動回路へ前記画像情報を供給するのに先立って前記信号入力線の電位を所定の値に設定する初期値設定用素子を有することを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項26】 画素回路がマトリクス状に配置されるとともに、これら各画素回路を選択する複数本の走査線および各画素回路に画像情報を供給する複数本のデータ線が配線されてなる表示部、

前記複数本のデータ線の各々を通して前記画素回路の各々に対する画像情報の書き込み駆動を行う駆動回路とを具備するアクティブマトリクス型表示装置であって、前記画素回路は、流れる電流によって輝度が変化する電気光学素子と、ソースまたはドレインが前記データ線に接続され、かつゲートが前記走査線に接続された第1の

電界効果トランジスタと、ドレインとゲートとが接続された状態にあるとき、前記第1の電界効果トランジスタを通して前記データ線から電流が供給されることによってそのゲート・ソース間に電圧を発生する第2の電界効果トランジスタと、前記第2の電界効果トランジスタに発生する電圧を保持するキャパシタと、前記キャパシタでの電圧保持の状態を維持する第3の電界効果トランジスタと、前記キャパシタにて保持した電圧を駆動電流に変換して前記電気光学素子に流す第4の電界効果トランジスタとを有し、

前記駆動回路は、ドレインとゲートとが電気的に短絡された状態にあるとき、前記画像情報が電流の形で供給されることによってそのゲート・ソース間に電圧を発生する第5の電界効果トランジスタと、前記第5の電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタと、前記キャパシタにて保持した電圧を電流に変換して前記複数本のデータ線の各々に供給する第6の電界効果トランジスタとを有することを特徴とするアクティブマトリクス型表示装置。

【請求項27】 前記駆動回路における前記第1の電界効果トランジスタと該駆動回路に前記画像情報を供給する電流源との間に、前記画像情報の書き込み時に飽和領域で動作するインピーダンス変換用トランジスタを有することを特徴とする請求項26記載のアクティブマトリクス型表示装置。

【請求項28】 前記インピーダンス変換用トランジスタは、前記第1の電界効果トランジスタと導電型の異なるトランジスタであることを特徴とする請求項27記載のアクティブマトリクス型表示装置。

【請求項29】 前記インピーダンス変換用トランジスタは、前記駆動回路毎に設けられていることを特徴とする請求項27記載のアクティブマトリクス型表示装置。

【請求項30】 前記複数本のデータ線毎に設けられた前記駆動回路がブロック化されており、前記インピーダンス変換用トランジスタは、ブロック内の複数の駆動回路に対して共通に設けられていることを特徴とする請求項27記載のアクティブマトリクス型表示装置。

【請求項31】 前記駆動回路は、前記第1、第2の電界効果トランジスタとして同一のトランジスタを用い、前記第1の電界効果トランジスタによる電流-電圧の変換と、それに基づく前記第2の電界効果トランジスタによるデータ線の駆動とを時分割的に行うことを特徴とする請求項26記載のアクティブマトリクス型表示装置。

【請求項32】 前記駆動回路は、前記画像情報を入力する信号入力線と前記第1の電界効果トランジスタとを接続または遮断する第1のスイッチ素子と、前記第1の電界効果トランジスタのドレインとゲートとを接続または遮断する第2のスイッチ素子とを有し、

前記画像情報の取り込み時には前記第1および第2のス

イッチ素子を接続状態とし、その取り込み終了時には前記第2のスイッチ素子を遮断状態とし、かかる後前記第1のスイッチ素子を遮断状態とすることを特徴とする請求項26記載のアクティブマトリクス型表示装置。

【請求項33】 前記駆動回路は、前記第1、第2の電界効果トランジスタとしてほぼ同一の特性を有するトランジスタを用い、

前記第1、第2の電界効果トランジスタは、カレントミラー回路を形成していることを特徴とする請求項26記載のアクティブマトリクス型表示装置。

【請求項34】 前記駆動回路は、前記画像情報を入力する信号入力線と前記第1の電界効果トランジスタとを接続または遮断する第1のスイッチ素子と、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートとを接続または遮断する第2のスイッチ素子とを有し、

前記画像情報の取り込み時には前記第1および前記第2のスイッチ素子を接続状態とし、その取り込み終了時には前記第2のスイッチ素子を遮断状態とし、かかる後前記第1のスイッチ素子を遮断状態とすることを特徴とする請求項33記載のアクティブマトリクス型表示装置。

【請求項35】 前記駆動回路において、前記第1の電界効果トランジスタのチャネル幅/チャネル長が、前記第2の電界効果トランジスタのチャネル幅/チャネル長よりも大きいことを特徴とする請求項34記載のアクティブマトリクス型表示装置。

【請求項36】 前記駆動回路は、前記第1のスイッチ素子と前記第1の電界効果トランジスタとの間に接続された第3の電界効果トランジスタと、前記第3の電界効果トランジスタのドレインとゲートとの間を接続または遮断する第3のスイッチ素子と、前記第3の電界効果トランジスタのゲートに接続された第2のキャパシタとを有し、

前記第1の電界効果トランジスタが前記第2のスイッチ素子により、また前記第3の電界効果トランジスタが前記第3のスイッチ素子により、共にドレインとゲートとが接続された状態にあるとき、これらトランジスタのドレイン・ソース間に前記第1のスイッチ素子を通して前記画像情報が電流の形で供給されることを特徴とする請求項32記載のアクティブマトリクス型表示装置。

【請求項37】 第1、第2の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子を表示素子として用い、画像情報が電流の形で与えられる画素回路がマトリクス状に配置されるとともに、これら各画素回路を選択する複数本の走査線および各画素回路に輝度情報を供給する複数本のデータ線が配線されてなる表示部と、

画像情報を一旦保持した後電流の形で前記複数本のデータ線の各々に与えることによって各画素回路に対する画像情報の書き込み駆動を行う駆動回路とを備えたことを

特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項38】 前記駆動回路は、前記複数本のデータ線毎に設けられ、前記画像情報を電圧の形で保持する保持部と、前記保持部にて保持した電圧を電流に変換して前記複数本のデータ線の各々に供給する駆動部とを有することを特徴とする請求項37記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項39】 前記駆動回路は前記画像情報を電流の形で与えられ、この電流を電圧に変換する変換部を有し、この変換部で変換した電圧を前記保持部で保持することを特徴とする請求項38記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項40】 前記駆動回路において、前記変換部は、ドレンとゲートとが電気的に短絡された状態にあるとき、前記画像情報が電流の形で供給されることによってそのゲート・ソース間に電圧を発生する第1の電界効果トランジスタを含み、前記保持部は、前記第1の電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタを含み、

前記駆動部は、前記キャパシタの保持電圧に基づいて前記複数本のデータ線の各々を駆動する第2の電界効果トランジスタを含むことを特徴とする請求項39記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項41】 第1, 第2の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子を表示素子として用い、画像情報が電流の形で与えられる画素回路がマトリクス状に配置されるとともに、これら各画素回路を選択する複数本の走査線および各画素回路に輝度情報を供給する複数本のデータ線が配線されてなる表示部と、

画像情報を一旦保持した後電流の形で前記複数本のデータ線の各々に与えることによって各画素回路に対する画像情報の書き込み駆動を行う駆動回路とを備え、前記駆動回路は、前記画像情報が電流の形で与えられ、この電流を電圧に変換する変換部と、この変換部で変換した電圧を保持する保持部と、該保持部にて保持した電圧を電流に変換して前記複数本のデータ線の各々に供給する駆動部とを有し、

前記変換部と前記駆動回路に前記画像情報を供給する電流源との間に、前記画像情報の書き込み時に飽和領域で動作するインピーダンス変換用トランジスタを有することを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項42】 前記変換部は、ドレンとゲートとが電気的に短絡された状態にあるとき、前記画像情報が電流の形で供給されることによってそのゲート・ソース間に電圧を発生する第1の電界効果トランジスタを含み、

前記保持部は、前記第1の電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタを含み、

前記駆動部は、前記キャパシタの保持電圧に基づいて前記複数本のデータ線の各々を駆動する第2の電界効果トランジスタを含み、

前記第1の電界効果トランジスタと前記駆動回路に前記画像情報を供給する電流源との間に、前記画像情報の書き込み時に飽和領域で動作するインピーダンス変換用トランジスタを有することを特徴とする請求項41記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項43】 前記インピーダンス変換用トランジスタは、前記第1の電界効果トランジスタと導電型の異なるトランジスタであり、前記駆動回路毎に設けられていることを特徴とする請求項42記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項44】 前記複数本のデータ線毎に設けられた前記駆動回路がブロック化されており、前記インピーダンス変換用トランジスタは、ブロック内の複数の駆動回路に対して共通に設けられていることを特徴とする請求項42記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項45】 前記駆動回路は、前記第1, 第2の電界効果トランジスタとして同一のトランジスタを用い、前記第1の電界効果トランジスタによる電流-電圧の変換と、それに基づく前記第2の電界効果トランジスタによるデータ線の駆動とを時分割的に行うことを行なうことを特徴とする請求項40記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項46】 前記駆動回路は、前記画像情報を入力する信号入力線と前記第1の電界効果トランジスタとを接続または遮断する第1のスイッチ素子と、前記第1の電界効果トランジスタのドレンとゲートとを接続または遮断する第2のスイッチ素子とを有し、

前記画像情報の取り込み時には前記第1および前記第2のスイッチ素子を接続状態とし、その取り込み終了時には前記第2のスイッチ素子を遮断状態とし、かかる後前記第1のスイッチ素子を遮断状態とすることを特徴とする請求項40記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項47】 前記駆動回路は、前記第1, 前記第2の電界効果トランジスタとしてほぼ同一の特性を有するトランジスタを用い、

前記第1, 第2の電界効果トランジスタは、カレントミラー回路を形成していることを特徴とする請求項40記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項48】 前記駆動回路は、前記画像情報を入力する信号入力線と前記第1の電界効果トランジスタとを

接続または遮断する第1のスイッチ素子と、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートとを接続または遮断する第2のスイッチ素子とを有し、

前記画像情報の取り込み時には前記第1および前記第2のスイッチ素子を接続状態とし、その取り込み終了時には前記第2のスイッチ素子を遮断状態とし、かかる後前記第1のスイッチ素子を遮断状態とすることを特徴とする請求項47記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項49】 前記第1、前記第2の電界効果トランジスタにおいて、前記第1の電界効果トランジスタのチャネル幅／チャネル長が、前記第2の電界効果トランジスタのチャネル幅／チャネル長よりも大きいことを特徴とする請求項48記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項50】 前記駆動回路は、前記第1のスイッチ素子と前記第1の電界効果トランジスタとの間に接続された第3の電界効果トランジスタと、前記第3の電界効果トランジスタのドレインとゲートとの間を接続または遮断する第3のスイッチ素子と、前記第3の電界効果トランジスタのゲートに接続された第2のキャパシタとを有し、

前記第1の電界効果トランジスタが前記第2のスイッチ素子により、また前記第3の電界効果トランジスタが前記第3のスイッチ素子により、共にドレインとゲートとが接続された状態にあるとき、これらトランジスタのドレイン・ソース間に前記第1のスイッチ素子を通して前記画像情報が電流の形で供給されることを特徴とする請求項46記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項51】 前記複数本のデータ線毎に設けられた複数個の前記駆動回路は、同一の信号入力線を共有し、これを時分割的に使用しつつ画像情報の取り込みを行うことを特徴とする請求項37記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項52】 前記駆動回路は、前記画像情報が電圧の形で与えられ、この電圧を前記保持部で保持することを特徴とする請求項37記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項53】 前記駆動回路において、前記保持部は、前記画像情報に応じた電圧を保持する保持キャパシタを含み、前記駆動回路は、前記保持キャパシタの保持電圧に基づいて前記複数本のデータ線の各々を駆動する電界効果トランジスタを含み、

前記電界効果トランジスタは、そのゲート・ドレインを電気的に短絡される動作の後、そのゲートと信号入力線とが書き込みキャパシタを介して容量結合された状態で画像情報が与えられることを特徴とする請求項52記載

のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項54】 前記駆動回路は、前記書き込みキャパシタの信号入力線側ノードと所定の電位点との間に接続されたスイッチ素子を有し、前記電界効果トランジスタがそのゲート・ドレイン間を電気的に接続される動作が行われている間に、前記スイッチ素子が短絡されることによって前記書き込みキャパシタの信号入力線側ノードが前記所定の電位となることを特徴とする請求項53記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項55】 前記駆動回路は、1本のデータ線について複数系統ずつ設けられていることを特徴とする請求項37記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項56】 前記駆動回路は、1本のデータ線について2系統ずつ設けられ、一方の系統の駆動回路がデータ線を駆動する間に他方の系統の駆動回路が画像情報の取り込みを行うことを特徴とする請求項55記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項57】 前記駆動回路は、1本のデータ線について3系統ずつ設けられ、ある走査サイクルにおいて1系統の駆動回路がリセット動作を、他の1系統の駆動回路がデータ被書き込み動作を、残りの1系統がデータ線駆動動作を行うことを特徴とする請求項55記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項58】 前記駆動回路を構成するトランジスタは、前記画素回路を構成するトランジスタと同時に形成される薄膜トランジスタであることを特徴とする請求項37記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項59】 前記画像情報を入力する信号入力線と所定の電位点との間にリーク素子を有することを特徴とする請求項37記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項60】 前記画像情報を入力する信号入力線と所定の電位点との間に、前記信号入力線を通して前記駆動回路へ前記画像情報を供給するに先立って前記信号入力線の電位を所定の値に設定する初期値設定用素子を有することを特徴とする請求項37記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、各画素毎に能動素子を有して当該能動素子によって画素単位で表示制御が行われるアクティブマトリクス型表示装置に関し、特に、流れる電流によって輝度が変化する電気光学素子を画素の表示素子として用いるアクティブマトリクス型表

示装置および電気光学素子として有機材料のエレクトロルミネッセンス(以下、有機EL(electroluminescence)と記す)素子を用いるアクティブマトリクス型有機EL表示装置に関する。

【0002】

【従来の技術】表示装置、例えば画素の表示素子として液晶セルを用いた液晶ディスプレイなどにおいては、多数の画素をマトリクス状に配列し、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像の表示駆動が行われるようになっている。この表示駆動は、画素の表示素子として有機EL素子を用いた有機ELディスプレイなどでも同様である。

【0003】ただし、有機ELディスプレイの場合は、画素の表示素子として発光素子を用いる、いわゆる自発光型のディスプレイであるため、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。また、各発光素子の輝度はそれに流れる電流値によって制御される、即ち有機EL素子が電流制御型であるという点で、液晶セルが電圧制御型である液晶ディスプレイなどとは大きく異なる。

【0004】有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純(パッシブ)マトリクス方式とアクティブマトリクス方式とを探ることができる。ただし、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同様に画素内部に設けた能動素子(一般には、薄膜トランジスタ(Thin Film Transistor; TFT)によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【0005】図33に、アクティブマトリクス型の有機ELディスプレイにおける画素回路(単位画素の回路)の従来例を示す(より詳細には、米国特許第5,684,365号公報、特開平8-234683号公報を参照)。

【0006】この従来例に係る画素回路は、図33から明らかなように、アノード(陽極)が正電源Vddに接続された有機EL素子T01と、ドレインが有機EL素子T01のカソード(陰極)に接続され、ソースが接地されたTFT102と、TFT102のゲートとグランドとの間に接続されたキャパシタT03と、ドレインがTFT102のゲートに、ソースがデータ線106に、ゲートが走査線105にそれぞれ接続されたTFT104とを有する構成となっている。

【0007】ここで、有機EL素子は多くの場合整流性があるため、OLED(Organic Light Emitting Diode)と呼ばれることがある。したがって、図33および他の図では、OLEDとしてダイオードの記号を用いて示している。ただし、以下の説明において、OLEDには必ずしも整流性を要求するものではない。

【0008】上記構成の画素回路の動作は次の通りである。先ず、走査線105の電位を選択状態(ここでは、高レベル)とし、データ線106に書き込み電位Vwを印加すると、TFT104が導通してキャパシタT03が充電または放電され、TFT102のゲート電位は書き込み電位Vwとなる。次に、走査線105の電位を非選択状態(ここでは、低レベル)とすると、走査線105とTFT102とは電気的に切り離されるが、TFT102のゲート電位はキャパシタT03によって安定に保持される。

【0009】そして、TFT102およびOLED101に流れる電流は、TFT102のゲート・ソース間電圧Vgsに応じた値となり、OLED101はその電流値に応じた輝度で発光し続ける。ここで、走査線105を選択してデータ線106に与えられた輝度情報を画素内部に伝える動作を、以下、「書き込み」と呼ぶこととする。上述のように、図33に示す画素回路では、一度電位Vwの書き込みを行えば、次に書き込みが行われるまでの間、OLED101は一定の輝度で発光を継続する。

【0010】このような画素回路(以下、単に画素と記す場合もある)111を図34に示すようにマトリクス状に多数並べ、走査線112-1~112-nを走査線駆動回路113によって順次選択しながら、電圧駆動型のデータ線駆動回路(電圧ドライバ)114からデータ線115-1~115-mを通して書き込みを繰り返すことにより、アクティブマトリクス型表示装置(有機ELディスプレイ)を構成することができる。ここでは、m列n行の画素配列を示している。この場合、当然のことながら、データ線がm本、走査線がn本となる。

【0011】単純マトリクス型表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクス型表示装置では、書き込み終了後も発光素子が発光を継続する。このため、アクティブマトリクス型表示装置は、単純マトリクス型表示装置に比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

【0012】ところで、アクティブマトリクス型有機ELディスプレイにおいては、能動素子として一般に、ガラス基板上に形成された絶縁ゲート型薄膜電界効果トランジスタ(TFT)が利用される。ところが、このTFTの形成に使用されるアモルファスシリコン(非晶質シリコン)やポリシリコン(多結晶シリコン)は、単結晶シリコンに比べて結晶性が悪く、導電機構の制御性が悪いために、形成されたTFTは特性のばらつきが大きいことが良く知られている。

【0013】特に、比較的大型のガラス基板上にポリシリコンTFTを形成する場合には、ガラス基板の熱変形等の問題を避けるため、通常、アモルファスシリコン膜

の形成後、レーザアニール法によって結晶化が行われる。しかしながら、大きなガラス基板に均一にレーザエネルギーを照射することは難しく、ポリシリコンの結晶化の状態が基板内の場所によってばらつきを生ずることが避けられない。この結果、同一基板上に形成したTFTでも、そのしきい値V_{th}が画素によって数百mV、場合によっては1V以上ばらつくこともまれではない。

【0014】この場合、例えば異なる画素に対して同じ電位V_wを書き込んでも、画素によってTFTのしきい値V_{th}がばらつくことになる。これにより、OLEDに流れる電流I_{ds}は画素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。このことは、しきい値V_{th}のみではなく、キャリアの移動度μなどのばらつきについても同様のことが言える。

【0015】かかる問題を改善するため、本願発明者は、一例として、図35に示す電流書き込み型の画素回路を提案している（国際公開番号WO01-06484の公報参照）。

【0016】この電流書き込み型の画素回路は、図35から明らかなように、カソードが負電源V_sに接続されたOLED121と、ドレンがOLED121のアノードに接続され、ソースが基準電位点であるグランドに接続（以下、「接地」と記す）されたTFT122と、このTFT122のゲートとグランドとの間に接続されたキャパシタ123と、ゲートがTFT122のゲートに接続され、ソースが接地されたTFT124と、

$I_w = \mu_1 C_{ox} x_1 W_1 / L_1 / 2$ が成立する。（1）式において、V_{th1}はTFT124のしきい値、 μ_1 はキャリアの移動度、 C_{ox} は単位面積当たりのゲート容量、W₁はチャネル幅、L₁はチャネル長である。

【0021】次に、OLED121に流れる電流をI_{drv}
 $I_{drv} = \mu_2 C_{ox} x_2 W_2 / L_2 / 2$

となる。

【0022】ちなみに、MOSトランジスタが飽和領域
 $|V_{ds}| > |V_{gs} - V_t|$

であることが知られている。（2）式、（3）式の各パラメータの意味は（1）式と同様である。ここで、TFT124とTFT122とは、小さな画素内部に近接し

$$I_{drv} / I_w = (W_2 / W_1) / (L_2 / L_1)$$

が導かれる。

【0023】すなわち、キャリアの移動度μ、単位面積当たりのゲート容量C_{ox}、しきい値V_{th}の値自体がパネル面内で、あるいはパネル毎にばらついたとしても、OLED121に流れる電流I_{drv}は正確に書き込み電流I_wに比例するので、結果として、OLED121の発光輝度を正確に制御できる。例えば、特にW₂=W₁、L₂=L₁と設計すれば、I_{drv}/I_w=1、即ちTFT特性のばらつきによらず、書き込み電流

ドレンがTFT124のドレンに、ソースがデータ線128に、ゲートが走査線127にそれぞれ接続されたTFT125と、ドレンがTFT122、124の各ゲートに、ソースがTFT124、125の各ドレンに、ゲートが走査線127にそれぞれ接続されたTFT126とを有する構成となっている。

【0017】この回路例では、TFT122、124としてPMOS（電界効果トランジスタ）、TFT125、126としてNMOSを用いている。この画素回路を駆動するタイミングチャートを図36に示す。

【0018】図35に示す画素回路が、図33に示す画素回路と決定的に異なる点は、次の通りである。すなわち、図33に示す画素回路においては輝度データが電圧の形で画素に与えられるのに対し、図35に示す画素回路においては電流の形で画素に与えられる点にある。その動作は次の通りである。

【0019】先ず、輝度情報を書き込む際は、走査線127を選択状態にし、データ線128に、輝度情報に応じた電流I_wを流す。この電流I_wは、TFT125を通してTFT124に流れる。このとき、TFT124に生ずるゲート・ソース間電圧をV_{gs}とする。書き込み時は、TFT126によってTFT124のゲート・ドレン間が短絡されているので、TFT124は飽和領域で動作する。

【0020】よって、良く知られたMOSトランジスタの式にしたがって

$$I_w = \mu_1 C_{ox} x_1 W_1 / L_1 / 2 \quad (V_{gs} - V_{th1})^2 \quad \dots \quad (1)$$

r.v.とすると、この電流I_{drv}はOLED121と直列に接続されたTFT122によって電流値が制御される。図35に示す画素回路では、TFT122のゲート・ソース間電圧が（1）式のV_{gs}に一致するので、TFT122が飽和領域で動作すると仮定すれば、

$$I_{drv} = \mu_2 C_{ox} x_2 W_2 / L_2 / 2 \quad (V_{gs} - V_{th2})^2 \quad \dots \quad (2)$$

で動作する条件は、一般に、

$$\dots \quad (3)$$

で形成されるため、事実上、 $\mu_1 = \mu_2$ 、 $C_{ox1} = C_{ox2}$ 、 $V_{th1} = V_{th2}$ と考えられる。すると、（1）式と（2）式とから容易に

$$(L_2 / L_1) \dots \quad (4)$$

I_wとOLED121に流れる電流I_{drv}とは同一の値となる。

【0024】一般に、アクティブマトリクス型表示装置においては、各画素への輝度データの書き込みは基本的に走査線単位で行われる。例えば、アモルファシリコンTFTを用いた液晶ディスプレイにおいては、選択された同一走査線上的画素に対して一括して（同時に）書き込みを行うのが一般的である。このように、走査線単位での書き込みは、一般に、線順次書き込みと呼称され

ている。

【0025】この線順次書き込み方式を探る表示装置では、通常、データ線ドライバは表示パネル内部の画素回路を構成するTFTの製造工程とは別途に、一般的なモノリシック (monolithic) 半導体技術によって製造される。したがって、特性の安定したものを得やすいが、その反面、表示装置のデータ線本数分のデータ線ドライバ個数が必要であるため、システム全体として大型・高コストとなりがちである。また、画素数の多い、あるいは画素ピッチの狭い表示装置の実現に際しては、表示パネルとパネル外部のドライバとの結線のための配線本数や接続点数が膨大となるため、接続の信頼性や配線ピッチなどの点からも、大型・高精細の表示装置の実現には限界がある。

【0026】ここで、上記の「パネル外部のドライバ」は、文字通り表示パネル（ガラス基板）の外部に設置され、フレキシブルケーブル等によってパネルと結線されることもあるが、TAB (Tape Automated Bonding) 技術等によってパネル（ガラス基板）上に搭載されることもある。上述した説明では両者を含めて便宜的に「パネル外部」と表現しており、以下でも同様に表現するものとする。

【0027】一方、ポリシリコンTFTを用いた液晶ディスプレイにおいては、トランジスタの駆動能力が高く、単一の画素に対する書き込みを短時間で行うことができるため、点順次書き込みと呼ばれる書き込み方式が採られることが多い。この点順次書き込み方式を探る表示装置の構成例を図37に、その動作タイミングチャートを図38に示す。なお、図37において、図34と同等部分には同一符号を付して示している。

【0028】図37において、データ線115-1～115-mの各一端と信号入力線116との間に水平スイッチHSW1～HSWmが設けられている。そして、これら水平スイッチHSW1～HSWmは、水平スキャナ (HSCAN) 117から順次出力される選択パルスwe1～wemによってon/off制御される。水平スイッチHSW1～HSWmおよび水平スキャナ117はTFTで構成され、画素回路11と同一の製造工程にて同時に形成される。

【0029】水平スキャナ117には、水平スタートパルスhspおよび水平クロック信号hckが入力される。水平スキャナ117は、図38に示すように、水平スタートパルスhspの入力後、水平クロック信号hckの遷移（立ち上がりおよび立ち下り）に対応して、水平スイッチHSW1～HSWmを選択するための選択パルスwe1～wemを順次発生する。

【0030】水平スイッチHSW1～HSWmの各々は、選択パルスwe1～wemが与えられた期間に導通状態となって信号入力線116を通して与えられる画像データ（電圧値）sinをデータ線115-1～データ

線115-mに伝える。これにより、走査線駆動回路113によって選択された走査線上の画素への書き込みが点順次にて行われる。データ線115-1～データ線115-mに与えられた電圧は、水平スイッチHSW1～HSWmが非導通となった後もデータ線115-1～データ線115-mの浮遊容量等の容量成分によって保持される。

【0031】このように、水平クロック信号hckがmクロック分与えられると、選択された走査線上のすべての画素にデータが書き込まれる。この点順次書き込み方式の表示装置の場合、1本の信号入力線116を時分割的に使用する構成であるために、表示パネルとパネル外部のデータドライバ（画像データsinを供給する回路）との接続点数が少なくて済み、また外部ドライバの数もそれに応じて少なくすることができる、などの利点がある。

【0032】

【発明が解決しようとする課題】ところが、画素回路として、前述した図35に示す電流書き込み型画素回路を採用した場合には、図37に示すような表示装置の構成では画素111に正常な書き込みを行うことができない。その理由を以下に説明する。

【0033】図37において、特定の水平スイッチHSWが選択されて導通した状態で、信号入力線116を電流源によって駆動すれば、水平スイッチHSWが選択されているデータ線上の画素に対しては正常に電流書き込みが行われる。その後、水平スキャナ117に水平クロック信号hckが入力され、別のデータ線に対する書き込みが開始されると、その書き込みと同時にそれまで選択されていた水平スイッチHSWが非導通となるため、対応するデータ線に流れる電流がゼロとなってしまう。

【0034】したがって、正常に書き込みを行うためには、走査線が選択状態から非選択状態となる時点において、その走査線上のすべての画素に所定の書き込み電流が供給されている必要がある。すなわち、電流書き込み型の画素回路を採用した場合には、各画素へのデータの書き込みを線順次で行う必要があり、例えば図39に示すように、選択された走査線上の画素に対して表示パネルの外部に設けられたデータ線ドライバ118から一括して書き込みを行う構成を探る必要がある。

【0035】これは、図34に示した線順次駆動方式の表示装置と基本的に同じ構成となっている。その結果として、前述したように、パネル外部のデータ線ドライバ118を構成する電流ドライバ回路CD1～CDmの個数や、それらと表示パネルとの間の配線の接続点数が増加する、という問題を発生する。

【0036】本発明は、上記課題に鑑みて為されたものであり、その目的とするところは、電流書き込み型画素回路を採用した場合において、表示パネルと外部のデータドライバ回路との接続点数を削減しつつ正常な電流書

き込み動作を実現し得るアクティブマトリクス型表示装置およびアクティブマトリクス型有機EL表示装置を提供することにある。

【0037】

【課題を解決するための手段】本発明によるアクティブマトリクス型表示装置は、電流によって画像情報の書き込みを行う電流書き込み型の画素回路がマトリクス状に配置されるとともに、これら各画素回路を選択する複数本の走査線および各画素回路に画像情報を供給する複数本のデータ線が配線されてなる表示部と、画像情報を一旦保持した後電流の形で複数本のデータ線の各々に与えることによって各画素回路に対する画像情報の書き込み駆動を行う駆動回路とを備えた構成となっている。

【0038】上記構成のアクティブマトリクス型表示装置において、画素回路が電流書き込み型の場合には、画素回路内の能動素子の特性が画素毎にばらついたとしても、表示素子に流れる電流が正確に書き込み電流に比例するので、表示素子の発光輝度を正確に制御できる。一方、駆動回路は画像情報を一旦保持し、かかる後データ線の各々に画像情報を電流の形で与える。これにより、駆動回路による各画素回路への画像情報の書き込みが線順次にて行われる。

【0039】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0040】〔第1実施形態〕図1は、本発明の第1実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。図1において、画素回路11がマトリクス状に多数配置されて表示領域（表示部）を構成している。ここでは、m列n行の画素配列を例に探って示している。この表示領域には、画素回路11の各々に対して、各画素（画素回路）を選択するn本の走査線12-1～12-nと、各画素に画像データ、例えば輝度データを供給するm本のデータ線13-1～13-mとが配線されている。

【0041】上記表示領域の外部には、走査線12-1～12-nを選択駆動する走査線駆動回路14が設けられるとともに、データ線13-1～13-mを駆動するデータ線ドライバ回路15が設けられている。走査線駆動回路14は例えばシフトレジスタからなり、各転送段の出力端が走査線12-1～12-nの各一端に接続されている。データ線ドライバ回路15は、後述するように、m個の電流書き込み型の電流ドライバ回路（CD）15-1～15-mによって構成されている。電流書き込み型の電流ドライバ回路（以下、単に「電流ドライバ回路」と記す）15-1～15-mは、各出力端がデータ線13-1～13-mの各一端に接続されている。

【0042】データ線ドライバ回路15の電流ドライバ回路15-1～15-mには、信号入力線16を通して外部から画像データ（本例では、輝度データ）sinが

供給されるとともに、制御線17を通して外部から駆動制御信号deが供給される。すなわち、データ線13-1～13-m毎に設けられた電流ドライバ回路15-1～15-mは同一の信号入力線16を共用し、これを時分割的に使用しつつ画像データの取り込みを行う。電流ドライバ回路15-1～15-mにはさらに、水平スキャナ（HSCAN）18から、2系統の書き込み制御信号weA1～weAm, weB1～weBmが供給される。

【0043】水平スキャナ18には、水平スタートパルスhspおよび水平クロック信号hckが入力される。水平スキャナ18は例えばシフトレジスタからなり、図2のタイミングチャートに示すように、水平スタートパルスhspの入力後、水平クロック信号hckの遷移（立ち上がりおよび立ち下がり）に対応して、書き込み制御信号weA1～weAm, weB1～weBmを順次発生する。ここで、例えば書き込み制御信号weA1～weAmの各々は、書き込み制御信号weB1～weBmの各々に対してやや遅れたタイミング関係にある。

【0044】上記構成の第1実施形態に係るアクティブマトリクス型表示装置において、画素回路11としては、例えば図35に示した電流書き込み型の画素回路が用いられる。この電流書き込み型画素回路は、先述したように、画素回路11の表示素子として、電流値によって輝度が制御される発光素子、例えば有機EL素子（OLED）を用いるとともに、4つのTFT（絶縁ゲート型薄膜電界効果トランジスタ）および1つのキャパシタを有し、輝度データが電流の形でデータ線から与えられるようになっている。なお、画素回路11としては、図35に示した回路構成のものに限定されるものではなく、要は、電流書き込み型の画素回路であれば良い。

【0045】ここで、有機EL素子の構造の一例について説明する。図3に、有機EL素子の断面構造を示す。同図から明らかなように、有機EL素子は、透明ガラスなどからなる基板21上に、透明導電膜からなる第1の電極（例えば、陽極）22を形成し、その上にさらに正孔輸送層23、発光層24、電子輸送層25および電子注入層26を順次堆積させて有機層27を形成した後、この有機層27の上に金属からなる第2の電極（例えば、陰極）28を形成した構成となっている。そして、第1の電極22と第2の電極28との間に直流電圧Eを印加することで、発光層24において電子と正孔が再結合する際に発光するようになっている。

【0046】この有機EL素子（OLED）を含む画素回路では、上述したように、能動素子として一般にガラス基板上に形成されたTFTが用いられる。そして、この画素回路が生成されたガラス基板（表示パネル）上に、走査線駆動回路14も同様に、TFTなどの回路素子によって形成される。このとき、電流ドライバ回路15-1～15-mについても、同じ表示パネル（ガラス

基板) 上に TFT などの回路素子によって同時に形成するようにしても良い。ただし、電流ドライバ回路 15-1 ~ 15-m を必ずしも表示パネル上に設ける必要はなく、パネル外部に設ける構成を探っても良い。

【0047】 [第1回路例] 図4は、データ線ドライバ回路 15 を構成する電流ドライバ回路 15-1 ~ 15-m の具体的な回路例を示す回路図である。なお、電流ドライバ回路 15-1 ~ 15-m の各々は全く同じ回路構成となっている。

【0048】 図4から明らかなように、本例に係る電流ドライバ回路は、4つのTFT 31~34 および1つのキャパシタ 35 から構成されている。この回路例では、TFT 31~34 のすべてをN MOSで構成しているが、これは一例であって、これに限られるものではない。

【0049】 図4において、TFT 31 はそのソースが接地されて変換部を構成している。このTFT 31 のドレインに、TFT 32, 33 の各ソースおよびTFT 34 のドレインがそれぞれ接続されている。TFT 32 は、そのドレインが信号入力線 16 に接続された第1のスイッチ素子であり、そのゲートには第1の書き込み制御信号 we A が与えられる。TFT 33 は、そのドレイ

$$I_w = \mu C_o x W / L / 2 \quad (v_{gs} - V_{th})^2$$

で与えられる電圧 V_{gs} が生ずる。ここで、 V_{th} は TFT 31 のしきい値、 μ はキャリアの移動度、 $C_o x$ は単位面積当たりのゲート容量、W はチャネル幅、L はチャネル長である。

【0053】 次に、第1、第2の書き込み制御信号 we A, we B を非選択状態とする。詳しくは、先ず、第2の書き込み制御信号 we B を低レベルとして TFT 34 を非導通状態とする。これにより、TFT 31 のゲート・ソース間に生じた電圧 V_{gs} がキャパシタ 35 によって保持される。次いで、第1の書き込み制御信号 we A を低レベルとして TFT 32 を非導通状態とすることにより、本電流ドライバ回路と電流源 CS とが電気的に遮断されるので、その後は電流源 CS によって別の電流ドライバ回路に対して書き込みを行うことができる。TE

$$I_d = \mu C_o x W / L / 2 \quad (v_{gs} - V_{th})^2$$

で与えられる。これがデータ線 13 に流れる電流となるが、これは先の書き込み電流 I_w に一致する。

【0056】 すなわち、図4に示す回路は、電流値の形で書き込まれた輝度データ sin を一旦電圧値に変換してキャパシタ 35 に保持し、書き込み終了後もキャパシタ 35 の電圧値に基づいて、書き込まれた電流値とほぼ等しい電流値でデータ線 13 を駆動する機能を有する。さらにこの動作において、(5)式、(6)式中のキャリアの移動度 μ や、しきい値 V_{th} 等の絶対値は問題とされない。すなわち、図4に示す回路は、TFT の特性ばらつきによらず、書き込まれた電流値と正確に等しい電流値でデータ線 13 を駆動することができる。

ンがデータ線 13 に接続されて駆動部を構成しており、そのゲートには制御線 17 を介して駆動制御信号 de が与えられる。TFT 34 は、そのソースが TFT 31 のゲートに接続された第2のスイッチ素子であり、そのゲートには第2の書き込み制御信号 we B が与えられる。TFT 31 のゲートおよび TFT 34 のソースとグランドとの間には、保持部を構成するキャパシタ 35 が接続されている。

【0050】 次に、上記構成の電流ドライバ回路の回路動作について、図5の駆動波形図を用いて説明する。

【0051】 本電流ドライバ回路への書き込み時には第1の書き込み制御信号 we A および第2の書き込み制御信号 we B を共に選択状態とする。ここでは、両者が高レベルの状態を選択状態としている。さらに、駆動制御信号 de を非選択状態 (ここでは低レベル) とする。この状態で信号入力線 16 に電流値 I_w の電流源 CS を接続することにより、TFT 32 のソースを通して TFT 31 に書き込み電流 I_w が流れる。

【0052】 このとき、TFT 31 のゲート・ドレイン間は TFT 34 によって電気的に短絡されているので (3) 式が成立し、TFT 31 は飽和領域で動作する。したがって、そのゲート・ソース間には、

$$\dots \quad (5)$$

TFT 33 は、キャパシタ 35 の保持電圧 V_{gs} に基づいてデータ線 13 を駆動する。

【0054】 このように、本電流ドライバ回路への書き込み終了時、先ず TFT 34 を非導通状態とし、しかる後 TFT 32 を非導通状態とする、即ち TFT 32 に先立って TFT 34 を非導通状態とすることで、輝度データの書き込みを確実に行うことができる。ここで、電流源 CS が駆動するデータは、第2の書き込み制御信号 we B が非選択となる時点では有効である必要があるが、その後は任意の値 (例えば、次の電流ドライバ回路への書き込みデータ) とされて良い。

【0055】 次に、駆動制御信号 de を選択状態 (ここでは高レベル) とすると、TFT 31 が飽和領域で動作していれば、TFT 31 を流れる電流は、

$$\dots \quad (6)$$

【0057】 続いて、図1に示す第1実施形態に係るアクティブマトリクス型表示装置において、画素回路 11 として図35の電流書き込み型画素回路を用い、かつ電流ドライバ回路 15-1 ~ 15-m として図4の電流書き込み型電流ドライバ回路を用いた場合の動作について、図2のタイミングチャートに基づいて説明する。

【0058】 水平スキャナ 18 は、先述したように、水平スタートパルス hsp の入力後、水平クロック信号 hck の遷移に対応して、第1、第2の書き込み制御信号 we A 1 ~ we Am, we B 1 ~ we Bm を順次発生する。ここで、書き込み制御信号 we A 1 ~ we Am の各々は、書き込み制御信号 we B 1 ~ we Bm の各々に対

してややタイミングが遅れている。輝度データ s_{in} はこれらの書き込み制御信号 $w_{eA1} \sim w_{eAm}$, $w_{eB1} \sim w_{eBm}$ に同期して、信号入力線 16 から電流値の形で入力される。

【0059】そして、水平クロック h_{ck} が m クロック分入力されると、 m 個の電流ドライバ回路 15-1 ~ 15- m に輝度データ s_{in} が書き込まれる。書き込みの最中は、駆動制御信号 d_e は非選択状態とされているが、すべての電流ドライバ回路 15-1 ~ 15- m に書き込みが終了した時点で選択状態とされ、よってデータ線 13-1 ~ データ線 13- m が駆動される。駆動制御信号 d_e が選択状態のとき、 k 番目の走査線 12- k が選択されているので、走査線 12- k に接続された画素 11 に対して線順次書き込みが行われる。

【0060】走査線 12- k を非選択とすると書き込みが終了するが、図 2 のタイミングチャートでは、その時点において駆動制御信号 d_e は選択状態を保っており、書き込み終了まで有効な書き込みデータ（書き込み電流）を保つようにしている。ただし、この駆動法においては、1 走査線期間（通常は、1 フレーム期間／走査線本数）に、電流ドライバ回路 15-1 ~ 15- m への書き込みと、データ線 13-1 ~ 13- m の駆動がシリアルに行われるため、これら書き込みとデータ線駆動の両方に十分な時間を確保することが難しい場合がある。

【0061】[第2回路例] 図 6 は、電流ドライバ回路 15-1 ~ 15- m の他の回路例を示す回路図であり、

$$1/R_n = \mu_n C_o x W_n / L_n (V_{gsn} - V_{th}) \quad \dots (7)$$

を得る。ここで、TFT 31 が NMOS であるので、必要なパラメータには添字 n を付して示している。 R_n は TFT 31 の信号入力線 16 から見た微分抵抗であり、これが信号入力線 16 の入力抵抗である。なお、TFT

$$R_n = 1/\sqrt{(2\mu_n C_o x W_n / L_n \cdot I_w)} \quad \dots (8)$$

を得る。すなわち、TFT 31 の入力抵抗 R_n は書き込み電流 I_w の平方根に反比例し、特に書き込み電流 I_w が小さな状態では非常に大きな値となる。一方、信号入

$$\tau = C_s \times R_n$$

で与えられる。

【0066】信号入力線 16 に信号電流を供給する電流源 C_S は通常パネル外部の部品で構成されるため、データ線ドライバ回路 15 から距離的に離れていることが多く、容量 C_s は大きな値になりやすい。その上、先に述べたように、TFT 31 の入力抵抗 R_n は書き込み電流 I_w が小さくなるに従って増大するので、小さな電流の書き込みに要する長い書き込み時間は重大な問題である。

【0067】書き込み時間を短縮するためには、(9) 式より、TFT 31 の入力抵抗 R_n を小さくする必要がある。そのためには、最大輝度値に相当する電流値をより大きい値に設定することによって、小さな輝度値においても書き込み電流 I_w があまり小さくならないように

図中、図 4 と同等部分には同一符号を付して示している。

【0062】図 6 から明らかなように、本例に係る電流ドライバ回路は、図 4 の回路素子に加えて、TFT 31 と電流源 C_S との間に、輝度データ s_{in} の書き込み時に飽和領域で動作するインピーダンス変換用トランジスタ、即ち TFT 31 と導電型が異なる PMOS の TFT 40 を、例えば TFT 32 を介して接続した構成となっている。この構成によれば、本電流ドライバ回路への輝度データ s_{in} の書き込みを、図 4 の回路例よりも高速に行うことができる。その理由について以下に順次説明する。

【0063】電流書き込みにおいては、一般に、書き込みに要する時間が長いという問題がある。何となれば、図 4 の回路例の電流ドライバ回路に電流値 I_w を書き込む場合、電流源 C_S の出力抵抗は理論上無限大なので、回路の抵抗は図 4 の TFT 31 によって決まる一方、パネル内部の TFT は一般に駆動能力が小さい、言い換えれば入力抵抗が高いため、信号入力線 16 の電位が定常状態に達するまでに時間がかかるからである。

【0064】ここで先ず、図 4 の回路例の場合について、書き込みに必要な時間を求める。書き込み時、TFT 31 はゲート・ドレイン間が TFT 34 によって短絡され、従って飽和領域で動作することを踏まえて、MOS トランジスタの式 (1) の両辺をゲート・ソース間電圧 V_{gs} で微分することで、

32 はアナログスイッチであり抵抗特性を呈するが、TFT 31 に比べて十分小さな抵抗値となるように設計できるため、その抵抗値は無視する。

【0065】(1) 式、(7) 式より、

力線 16 に存在する容量を C_s とすると、書き込み動作の時定数は定常状態付近では

$$\dots (9)$$

することが考えられるが、これは消費電力の増大を招く。あるいは、TFT 31 の W_n / L_n を大きくすることが考えられるが、その場合は、より小さなゲート電圧振幅で TFT 31 を使用することになるため、微小なノイズによって駆動電流が影響されやすくなるなどの問題がある。

【0068】ここで、図 6 の回路例の回路動作について考える。信号入力線 16 には電流源 C_S が接続されており、この電流源 C_S と本電流ドライバ回路との間には比較的大きな寄生容量 C_s が存在している。今、信号電流 I_w を書き込む動作を考え、TFT 40 が飽和領域で動作しているとすれば、定常状態においては、MOS トランジスタの式 (1) に従って、

$$I_w = \mu_p C_o x W_p / L_p / 2 (V_{gs} - V_{tp})^2 \quad \dots \dots (10)$$

が成り立つ。ここで、TFT40がPMOSであるので、必要なパラメータには添字pを付して示している。

$$I_w = \mu_p C_o x W_p / L_p / 2 (V_{in} -$$

$$V_g - |V_{tp}|)^2 \quad \dots \dots (11)$$

が成り立つことがわかる。V_{in}およびV_gはそれぞれ、グランドを基準とした信号入力線16の電圧およびTFT40のゲート電圧である。

$$1/R_p = \mu_p C_o x W_p / L_p (V_{in} - V_g - |V_{tp}|) \dots \dots (12)$$

を得る。R_pはTFT40の信号入力線16から見た微分抵抗であり、これが信号入力線16の入力抵抗である。

$$R_p = 1 / \sqrt{(2 \mu_p C_o x W_p / L_p \cdot I_w)} \quad \dots \dots (13)$$

を得る。書き込み動作の時定数は、定常状態付近では

$$\tau = C_s \times R_p$$

で与えられる。

【0071】ここで注目すべきなのは、(13)式、(14)式によれば、書き込み時定数はTFT31に関するパラメータ(W_n、L_nなど)に関係なく、PチャネルTFT40によって決まるということである。すなわち、TFT40のW_p/L_pを大きく設定すれば、(13)式によって任意に信号入力線16の入力抵抗R_pを小さくすることができ、(14)式によって書き込み動作の時定数が小さくなることがわかる。つまり、書き込み電流I_wの大きさやTFT31のパラメータを変更することなく、言い換えれば、先に述べたような消費

$$V_d < V_g + |V_{tp}|$$

と書いても良い。ここで、V_dおよびV_gはそれぞれ、グランドを基準としたドレイン電位およびゲート電位である。

【0074】書き込み時間が問題になるのは、先に述べたように書き込み電流I_wが小さな場合である。そこで、書き込み電流I_wがゼロに近い書き込み状態を考え

$$V_{tn} < V_g + |V_{tp}|$$

と書くことができる。

【0075】したがって、TFT40を飽和領域で動作させるためには、(16)式が成り立つこと、具体的には、例えばゲート電位V_g=0で使用する場合にはV_{tn}<|V_{tp}|としたり、あるいはV_gを0Vではなく、0Vよりも高い電位で使用すれば良い。

【0076】上述したように、TFT31と電流源C_Sとの間に、輝度データs_{in}の書き込み時に飽和領域で動作するインピーダンス変換用トランジスタ(本例では、PチャネルTFT40)を接続することで、本電流ドライバ回路への輝度データs_{in}の書き込みを図4の回路例よりも高速に行うことができる。これにより、一定の時間内に同一の信号入力線16を時分割的に使用して多数のデータをデータ線ドライバ列に書き込むことが可能になるので、パネルとパネル外部の電流源C_Sとの間の接続点数や、電流源C_Sの個数を削減することができる。

【0069】図6の回路例では、信号入力線16がTFT40のソースであることに注意すれば、

【0070】(11)式の両辺を信号入力線16の電圧V_{in}で微分すれば、

$$1/R_p = \mu_p C_o x W_p / L_p (V_{in} - V_g - |V_{tp}|) \dots \dots (12)$$

る。(11)式、(12)式より

$$\tau = C_s \times R_p$$

$$\dots \dots (14)$$

電力の増大やノイズ耐性の悪化を伴うことなく、書き込みを高速化することが可能となる。

【0072】書き込みが高速化すれば、一定の時間内に同一の信号入力線16を時分割的に使用して多数のデータをデータ線ドライバ列に書き込むことが可能になるので、パネルとパネル外部の電流源C_Sとの間の接続点数や、電流源C_Sの個数を削減することができる。

【0073】ここで、TFT40を飽和領域で動作させるための方法について以下に示す。MOSトランジスタが飽和領域で動作するための条件は前述のように(3)式で与えられるが、PMOSの場合は、

$$\dots \dots (15)$$

ると、TFT31はそのゲート・ドレインをTFT34によって電気的に短絡されており、流れる電流がゼロに近い。このことから、そのドレイン電位はほぼV_{tn}であるが、これはTFT40のドレイン電位V_gでもある。したがって、(15)式は、

$$\dots \dots (16)$$

【0077】なお、本回路例では、PチャネルTFT40をTFT31と電流源C_Sとの間にTFT32を介して接続する回路構成としたが、図7に示すように、輝度データs_{in}の書き込み時に飽和領域で動作するPチャネルTFT40をNチャネルTFT32に代えて設け、このPチャネルTFT40にインピーダンス変換とスイッチ(図6のTFT32)の両機能を持たせるようにしても、上記の場合と同様の作用効果を得ることができる。この変形例の場合には、電流ドライバ回路毎にトランジスタを1個削減できるため、その分だけ回路構成の簡略化、低コスト化が図れる利点がある。

【0078】[第2実施形態] 図8は、本発明の第2実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図であり、図中、図1と同等部分には同一部号を付して示している。本実施形態に係るアクティブマトリクス型表示装置において、第1実施形態に係るアクティブマトリクス型表示装置との違いは、データ線

ドライバ回路 15' の構成にある。

【0079】すなわち、第1実施形態ではデータ線ドライバ回路 15 を 1 列分の電流ドライバ回路 15A-1～15B-m で構成しているのに対して、本実施形態ではデータ線ドライバ回路 15' を 2 列分の電流ドライバ回路 15A-1～15A-m, 15B-1～15B-m で構成している。これら 2 列分の電流ドライバ回路 15A-1～15A-m, 15B-1～15B-m には、信号入力線 16 を通して外部から画像データ（本例では、輝度データ）sin が供給される。

【0080】2 列分の電流ドライバ回路 15A-1～15A-m, 15B-1～15B-m にはさらに、2 本の制御線 17-1, 17-2 を通して外部から 2 系統の駆動制御信号 de1, de2 が供給される。これらの駆動制御信号 de1, de2 は、図 9 のタイミングチャートに示すように、1 走査線期間の周期で極性が反転し、かつ互いに逆相の信号となっている。

【0081】一方、水平スキャナ 18 は、図 9 のタイミングチャートに示すように、水平スタートパルス hsp の入力後、水平クロック信号 hck の遷移（立ち上がりおよび立ち下がり）に対応して、1 系統の書き込み制御信号 we1～wem を順次発生する構成となっている。この 1 系統の書き込み制御信号 we1～wem は、2 列分の電流ドライバ回路 15A-1～15A-m, 15B-1～15B-m に供給される。

【0082】【第3回路例】図 10 は、電流ドライバ回路 15A-1～15A-m, 15B-1～15B-m の具体的な回路例を示す回路図であり、図中、図 4 と同等部分には同一符号を付して示している。本例に係る電流ドライバ回路は、4 つの TFT31～34 および 1 つのキャパシタ 35 からなる基本的な回路部分については、図 4 の電流ドライバ回路と同じである。

【0083】異なる点は、TFT32 および TFT34 を制御する回路の構成である。この制御回路は、3 つのインバータ 36, 37, 38 および 1 つの NOR 回路 39 から構成されている。インバータ 36 は、水平スキャナ 18 から供給される書き込み制御信号 we の極性を反転して NOR 回路 39 にその一方の入力として供給する。NOR 回路 39 は、制御線 17-1（または、17-2）を通して外部から供給される駆動制御信号 de1（または、de2）を他方の入力としている。

【0084】この NOR 回路 39 を通過した駆動制御信号 de1（または、de2）は、直接 TFT34 のゲートに供給されるとともに、インバータ 37, 38 を介して TFT32 のゲートに供給される。インバータ 37, 38 は、図 2 のタイミングチャートにおける第 2 の書き込み制御信号 weB に対する第 1 の書き込み制御信号 weA の遅れ時間に相当する遅延時間を有し、NOR 回路 39 を通過した駆動制御信号 de1（または、de2）を当該遅延時間だけ遅らせて TFT32 のゲートに与え

る。

【0085】上記構成の電流ドライバ回路において、その基本的な回路動作は図 4 の電流ドライバ回路と同じである。すなわち、電流値の形で書き込まれた輝度データ sin を一旦電圧値に変換してキャパシタ 35 に保持し、書き込み終了後もキャパシタ 35 の電圧値に基づいて、書き込まれた電流値とほぼ等しい電流値でデータ線 13 を駆動する動作を行う。

【0086】これに加えて、本例に係る電流ドライバ回路では、駆動制御信号 de1（または、de2）を非選択状態（低レベル）、書き込み制御信号 we を選択状態（高レベル）とすることで輝度データ sin の書き込みが可能となり、駆動制御信号 de1（または、de2）を選択状態とすることで、書き込み制御信号 we の状態によらずデータ線 13 を駆動する状態となる。

【0087】インバータ 37, 38 は、先述したように遅延回路を構成している。このインバータ 37, 38 の遅延作用により、本電流ドライバ回路への書き込み終了時、TFT32 に先立って TFT34 を非導通状態とすることで、確実なデータ書き込みを行うようにしている。

【0088】続いて、図 8 に示す第 2 実施形態に係るアクティブマトリクス型表示装置において、画素回路 11 として図 35 の電流書き込み型画素回路を用い、かつ電流ドライバ回路 15A-1～15A-m, 15B-1～15B-m として図 10 の電流書き込み型電流ドライバ回路を用いた場合の動作について、図 9 のタイミングチャートに基づいて説明する。

【0089】k 番目の走査線 12-k の選択期間において、駆動制御信号 de1 が非選択状態とされ、信号入力線 16 から第 1 のデータ線ドライバ列（電流ドライバ回路 15A-1～15A-m）に対して輝度データ sin の書き込みが可能となる。この間、水平スキャナ 18 からは水平クロック hck に対応して書き込み制御信号 we1～wem が順次出力され、信号入力線 16 にはそれに同期して輝度データ sin が電流値の形で与えられ、第 1 のデータ線ドライバ列に輝度データが書き込まれる。

【0090】次に、k+1 番目の走査線 12-k+1 が選択されると駆動制御信号 de1 が選択状態とされ、電流ドライバ回路 15A-1～15A-m に書き込まれているデータにしたがってデータ線 13-1～データ線 13-m が駆動される。このとき、駆動制御信号 de2 は非選択とされており、第 2 のデータ線ドライバ列（電流ドライバ回路 15B-1～15B-m）に対して輝度データ sin の書き込みが行われる。第 2 のデータ線ドライバ列は、次の走査線サイクルにおいて、k+2 番目の走査線 12-k+2 が選択されたときにデータ線 13-1～13-m を駆動する。

【0091】このように、第 1, 第 2 のデータ線ドライ

バ列（電流ドライバ回路 $15A-1 \sim 15A-m$, $15B-1 \sim 15B-m$ ）を走査線 $12-1 \sim 13-n$ の切り替わり毎に交互に被書き込み状態／駆動状態とすることにより、データ線ドライバ回路 $15'$ への書き込み時間、データ線 $13-1 \sim 13-m$ の駆動時間の両方を概ね1走査線周期分確保することができるため、データ線ドライバ回路 $15'$ への書き込みおよびデータ線 $13-1 \sim 13-m$ の駆動について確実な動作が可能となる。

【0092】なお、本実施形態では、電流ドライバ回路 $15A-1 \sim 15A-m$, $15B-1 \sim 15B-m$ として、図10に示す電流書き込み型電流ドライバ回路を用いた場合を例に探って説明したが、これに限られるものではなく、図4、図6および図7に示す電流書き込み型電流ドライバ回路を用いても、同様の作用効果を奏する。ただし、図10の回路例の場合には、書き込み制御信号 $w_{e1} \sim w_{em}$ を入力する信号線が1本で済むため、2本必要とする図4、図6および図7の回路例に比べてデータ線ドライバ回路 15 と水平スキャナ 18 との間を接続する配線本数を半減できるという利点がある。

【0093】また、本実施形態に係るアクティブマトリクス型表示装置において、1走査線周期の間に m 個すべての電流ドライバ回路 $15A-1 \sim 15A-m$, $15B-1 \sim 15B-m$ に対する書き込み動作を完了することが難しい場合は、信号入力線 16 を複数本設け、並列書き込みを行うようにすることも可能である（第2実施形態の変形例）。

【0094】具体的には、図11に示すように、例えば2本の信号入力線 $16-1$, $16-2$ を設けるとともに、電流ドライバ回路 $15A-1 \sim 15A-m$, $15B-1 \sim 15B-m$ を図の左側半分と右半分とにブロック化し、電流ドライバ回路 $15A-1 \sim 15A-m$, $15B-1 \sim 15B-m$ に対する図の左側半分のデータ書き込みを信号入力線 $16-1$ に、図の右側半分のデータ書き込みを信号入力線 $16-2$ にそれぞれ担わせるようする。

【0095】この構成を採ることで、電流ドライバ回路 $15A-1 \sim 15A-m$, $15B-1 \sim 15B-m$ に対して2個ずつ同時に（並列に）輝度データ s_{in} を書き込むことができることから、データ線ドライバ1個当たりの書き込み時間は2倍となるため、書き込み動作は容易になる。同様にして、信号入力線 16 を3本以上設けることも可能である。

【0096】また、このように電流ドライバ回路 $15A-1 \sim 15A-m$, $15B-1 \sim 15B-m$ を図の左側半分と右半分とにブロック化した構成のアクティブマトリクス型表示装置に対して、図6で説明した輝度データ書き込みの高速化の概念を適用することもできる。なお、この場合には、電流書き込み型電流ドライバ回路として、図4の回路例のものが用いられることになる。

【0097】すなわち、図12に示すように、信号入力

線 $16-1$, $16-2$ の入力部に、インピーダンス変換用トランジスタ、例えばPチャネルTFT $40-1$, $40-2$ を挿入するとともに、これらTFT $40-1$, $40-2$ を各ゲートをグランド電位よりも高い一定のバイアス電圧値 $Vbias$ でバイアスするようにする。ここで、信号入力線 $16-1$, $16-2$ にはそれぞれ寄生容量 C_s1 , C_s2 が存在するが、バイアス電圧値 $Vbias$ を適当に設定すれば、PチャネルTFT $40-1$, $40-2$ を飽和領域で動作させることができる。

【0098】このように、電流ドライバ回路 $15A-1 \sim 15A-m$, $15B-1 \sim 15B-m$ をブロック化し、ブロック内の複数の電流ドライバ回路に対して、輝度データの書き込み時に飽和領域で動作するインピーダンス変換用トランジスタ、例えばPチャネルTFT $40-1$, $40-2$ を共通に設け、これらTFT $40-1$, $40-2$ の Wp/Lp を大きな値に設定することで、図6の回路説明の場合と同様の理由により、電流ドライバ回路 $15A-1 \sim 15A-m$, $15B-1 \sim 15B-m$ の回路構成や定数に変更を加えることなく、輝度データの書き込みの高速化が実現できる。

【0099】さらに、第2実施形態の他の変形例として、図13に示す構成を探ることも可能である。図13に示すように、この他の変形例に係るアクティブマトリクス型表示装置では、図11の構成に加えて、データ線 $13-1 \sim 13-m$ を中央で2分割し、表示領域の上下両側にデータ線ドライバ回路 $15U$, $15D$ を配置した構成を探っている。

【0100】この場合、水平スキャナ $18U$, $18D$ も表示領域の上下両側に配置されることになる。また、図11の構成も探すことから、上側のデータ線ドライバ回路 $15U$ に対して2本の信号入力線 $16U-1$, $16U-2$ が設けられ、下側のデータ線ドライバ回路 $15D$ に対して2本の信号入力線 $16D-1$, $16D-2$ が設けられることになる。

【0101】この他の変形例に係る構成を探ることにより、上下のデータ線ドライバ回路 $15U$, $15D$ がそれぞれ駆動するデータ線 $13U-1 \sim 13U-m$, $13D-1 \sim 13D-m$ の配線長が図11の構成の場合の半分で済むため、各データ線 $13U-1 \sim 13U-m$, $13D-1 \sim 13D-m$ の容量が半分となり、その分だけデータ線の駆動時間が短くて良いことになる。

【0102】さらに、画面内上半分と下半分とで走査線 $12-1 \sim 12-n$ を同時に1本ずつ選択・書き込みを行うことができることから、1本の走査線に対する書き込み時間を2倍にできるため、データ線 $13U-1 \sim 13U-m$, $13D-1 \sim 13D-m$ の駆動や、データ線ドライバ回路 $15U$, $15D$ へのデータ書き込みの動作を確実に行うことが可能である。

【0103】【第4回路例】図14は、電流ドライバ回路の他の回路例を示す回路図である。本例に係る電流ド

ライバ回路は、第1実施形態（図1参照）に係るデータ線ドライバ回路15の電流ドライバ回路15-1～15-mまたは第2実施形態に係るデータ線ドライバ回路15'の電流ドライバ回路15A-1～15A-m, 15B-1～15B-mとして用いられる。

【0104】図14から明らかなように、本例に係る電流ドライバ回路は、4つのTFT41～TFT44および1つのキャパシタ45から構成されている。この回路例では、TFT41, 42をNMOSで構成し、TFT43, 44をPMOSで構成しているが、これは一例であって、これに限られるものではない。

【0105】TFT41はそのソースが接地され、そのドレインがデータ線13に接続されている。TFT41のゲートとグランドとの間には、キャパシタCが接続されている。TFT41のゲートにはさらに、TFT42のゲートおよびTFT44のドレインがそれぞれ接続されている。TFT41とTFT42とは近接して配置されるとともに、ゲートが共通接続されることによってカレントミラー回路を形成している。

【0106】TFT42のソースは接地されている。TFT42のドレイン、TFT43のドレインおよびTFT44のソースが共通に接続されている。TFT43はそのソースが信号入力線16に接続され、そのゲートには第1の書き込み制御信号weAが与えられる。また、TFT43のゲートには、第2の書き込み制御信号weBが与えられる。

【0107】次に、上記構成の電流ドライバ回路の回路動作について、図15の駆動波形図を用いて説明する。

【0108】本電流ドライバ回路への書き込み時には第1の書き込み制御信号weA、第2の書き込み制御信号weBを共に選択状態とする。ここでは、両者が低レベルの状態を選択状態としている。この状態で信号入力線16に電流値Iwの電流源CSを接続することにより、TFT42にTFT43を通して書き込み電流Iwが流れれる。このとき、TFT42のゲート・ドレイン間はTFT44によって電気的に短絡されているので(3)式が成立し、TFT42は飽和領域で動作する。したがって、TFT42のゲート・ソース間には、(1)式で与えられる電圧Vgsが生ずる。

【0109】次に、第1、第2の書き込み制御信号weA、weBを非選択状態とする。詳しくは、先ず、第2の書き込み制御信号weBを高レベルとしてTFT44を非導通状態とする。これにより、TFT42のゲート・ソース間に生じた電圧Vgsがキャパシタ45によって保持される。

【0110】次いで、第1の書き込み制御信号weAを高レベルとしてTFT43を非導通状態とすることにより、本電流ドライバ回路と電流源CSとが電気的に遮断されるので、その後は電流源CSによって別の電流ドライバ回路に対して書き込みを行うことができる。ここ

で、電流源CSが駆動するデータは、第2の書き込み制御信号WeBが非選択となる時点では有効である必要があるが、その後は任意の値（例えば、次の電流ドライバ回路への書き込みデータ）とされて良い。

【0111】TFT41とTFT42とはゲートが共通接続されることで、カレントミラー回路を形成しているため、TFT41が飽和領域で動作していれば、TFT41を流れる電流は(2)式で与えられ、これがすなわちデータ線13に流れる電流となるが、これは先の書き込み電流Iwに比例する。

【0112】つまり、図14に示す回路は、図4に示す回路と同様に、電流値の形で書き込まれた輝度データs_inを一旦電圧値に変換してキャパシタ45に保持し、書き込み終了後もキャパシタ45の電圧値に基づいて、書き込まれた電流値に比例する電流値でデータ線13を駆動する機能を有する。この動作において、TFT41とTFT42とが近接配置されるなどで、これらTFTの移動度μやしきい値Vthが事実上等しければ、それらの絶対値は問題とされない。すなわち、図14の回路は、TFTの特性ばらつきによらず、書き込まれた電流値と正確に比例する電流値でデータ線13を駆動することができる。

【0113】本電流ドライバ回路への書き込み電流Iwとデータ線13の駆動電流Idとの関係は、TFT41とTFT42のチャネル幅Wおよびチャネル長Lの設定によって、言いかえればカレントミラー回路のミラー比の設定によって所望の値とすることができる。

【0114】例えば、TFT41とTFT42とでW/Lの値を等しくすれば書き込み電流Iwと駆動電流Idは等しくなるし、TFT42のW/LをTFT41のそれより大きくすれば書き込み電流Iwは駆動電流Idよりも大きくなる。後者は、例えば外部の電流源CSが小さな電流を駆動することが難しい場合や、電流ドライバ回路への書き込み時間を高速化したい場合に有効である。

【0115】本電流ドライバ回路の変形例を図16に示す。本変形例に係る電流ドライバ回路は、TFT44の接続位置が図14の回路と異なるだけである。すなわち、TFT44は、TFT41のゲートとTFT42のゲートとの間に接続された構成となっている。回路動作としては、図14の回路の場合と同様の動作が可能である。

【0116】【第5回路例】図17は、電流ドライバ回路のさらに他の回路例を示す回路図である。本例に係る電流ドライバ回路も、第1実施形態（図1参照）に係るデータ線ドライバ回路15の電流ドライバ回路15-1～15-mまたは第2実施形態に係るデータ線ドライバ回路15'の電流ドライバ回路15A-1～15A-m, 15B-1～15B-mとして用いられる。

【0117】本例に係る電流ドライバ回路は、第1回路例に係る電流ドライバ回路（図4を参照）と基本的な回

路部分の構成と同じにしていることから、以下の説明では、異なる回路部分を中心にその構成について説明する。また、図17中、図4と同等部分には同一符号を付して示している。

【0118】図17において、TFT41のドレインとデータ線13との間にTFT46が挿入されている。このTFT46のゲート・ドレイン間にはTFT47が接続され、そのゲートには第2の書き込み制御信号weBが与えられる。TFT46のゲートとグランドとの間にキャパシタ48が接続されている。

【0119】次に、上記構成の電流ドライバ回路の回路動作について説明する。なお、この回路動作は図4の回路と同様であるので、以下の動作説明では、図5の駆動波形図を用いるものとする。

【0120】先ず、本電流ドライバ回路への書き込み時には、駆動制御信号deを非選択状態（低レベル）としてデータ線13に電流が流れないようにした状態で第1、第2の書き込み制御信号weA、WeBを選択状態（高レベル）とすると、書き込み電流IwがTFT42を通してTFT41およびTFT46を流れる。このとき、両TFT41、TFT46共、ゲート・ソース間がそれぞれTFT44およびTFT47によって短絡されているので、飽和領域で動作する。

【0121】次に、第2の書き込み制御信号weBを非選択状態とする。これにより、TFT41およびTFT46の各ゲート・ソース間に生じた電圧Vgsがキャパシタ45およびキャパシタ48によってそれぞれ保持される。次に、第1の書き込み制御信号weAを非選択状態とすることにより、本電流ドライバ回路と信号入力線16とが電気的に遮断されるので、その後は信号入力線

$$Id_s = \mu C_o x W / L / 2 (V_{gs} - V_{th})^2$$

16を介して別の電流ドライバ回路への書き込みを行うことができる。

【0122】次に、データ線駆動制御信号deを高レベルとする。TFT41のゲート・ソース間電圧Vgsはキャパシタ45によって保持されているので、TFT41が飽和領域で動作していれば、TFT41を流れる電流は（5）式の書き込み電流Iwに一致し、これがすなわちデータ線13に流れる電流Idとなる。つまり、書き込み電流Iwがデータ線13の駆動電流Idと一致する。

【0123】ここで、TFT46の作用について説明する。図4の回路においては、前述したように、書き込み電流Iw、データ線13の駆動電流Idは共にTFT41によって決まるので、（5）式、（6）式より $I_w = I_d r_v$ であった。ただし、これはTFT41を流れる電流Idが、飽和領域においてドレイン・ソース間電圧Vdsに依存しないとした場合である。

【0124】しかるに、現実のトランジスタでは、ゲート・ソース間電圧Vgsが一定であっても、ドレイン・ソース間電圧Vdsが大きい程ドレイン・ソース間Idが大きくなる場合がある。これは、ドレイン・ソース間電圧Vdsが大きくなることによってドレイン近傍のピンチオフ点がソース側へ移動し、実効的なチャネル長が減少する、いわゆるショートチャネル効果や、ドレンの電位がチャネル電位に影響を与えてチャネルの導電率が変化する、いわゆるバックゲート効果などのためである。

【0125】この場合、トランジスタを流れる電流Idは、例えば、

$$\times (1 + \lambda V_{ds}) \quad \dots \quad (17)$$

压降下が大きくなり、そのドレイン電位（TFT46のソース電位）が上昇する。この結果、TFT46のゲート・ソース間電圧Vgsは小さくなり、これはOLEDに流れる電流Idrvを小さくする方向に作用する。結果として、TFT41のドレイン電位は大きく変動することができず、TFT41に注目すれば、書き込み時と駆動時とでドレイン・ソース間電流Idが大きくなれば変わらないことがわかる。すなわち、書き込み電流IwよりOLEDに流れる電流Idrvとがかなり精度良く一致することになる。

【0126】これに対し、図17の回路の動作を考える。図17のTFT46の動作に注目すると、そのドレン電位は書き込み時と駆動時とで一般に同一ではない。例えば駆動時のドレン電位の方が高い場合、TFT46のドレイン・ソース間電圧Vdsも大きくなり、これを（17）式に当てはめれば、書き込み時と駆動時とでゲート・ソース間電圧Vgsが一定であっても、ドレイン・ソース間電流Idは駆動時の方が増加する。換言すれば、書き込み電流IwよりOLEDに流れる電流Idrvが大きくなつて両者は一致しない。

【0127】ところが、OLEDに流れる電流IdrvはTFT41を流れるので、その場合TFT41での電

データ線 1 3 を十分高い電位とすれば良い。この駆動によれば、データ線 1 3 に流れる電流 I_d は、TFT の特性ばらつきによらず、図 4 の回路例の場合よりも正確に書き込み電流 I_w に一致する。

【0129】[第3実施形態] 図 18 は、本発明の第3実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図であり、図中、図 1 と同等部分には同一部号を付して示している。本実施形態に係るアクティブマトリクス型表示装置において、第1実施形態に係るアクティブマトリクス型表示装置との違いは、データ線を駆動するデータ線ドライバ回路の構成にある。

【0130】すなわち、第1実施形態ではデータ線ドライバ回路 1 5 として電流書き込み型の電流ドライバ回路を用いているのに対し、本実施形態ではデータ線ドライバ回路 1 9 として電圧書き込み型の電流ドライバ回路

(CD) 1 9 - 1 ~ 1 9 - m を用いている。電圧書き込み型の電流ドライバ回路（以下、単に「電流ドライバ回路」と記す）1 9 - 1 ~ 1 9 - m は、各出力端がデータ線 1 3 - 1 ~ 1 3 - m の各一端に接続されている。

【0131】[第6回路例] 図 19 は、データ線ドライバ回路 1 9 を構成する電圧書き込み型電流ドライバ回路 1 9 - 1 ~ 1 9 - m の具体的な回路例を示す回路図である。なお、電流ドライバ回路 1 9 - 1 ~ 1 9 - m の各々

$$I_d = \mu C_o x W / L / 2 (V_w - V_{th})^2 \quad \dots \quad (18)$$

となる。したがって、書き込み電圧 V_w によってデータ線 1 3 の駆動電流 I_d を制御することができる。

【0135】図 18 に示すアクティブマトリクス型表示装置において、データ線ドライバ回路 1 9 を上記構成の電流ドライバ回路を用いて構成した場合の動作のタイミングチャートを図 20 に示す。なお、その動作は基本的には図 1 の場合と同様であるので、ここではその詳細な説明については省略する。

【0136】[第7回路例] 図 21 は、電圧書き込み型電流ドライバ回路の他の回路例を示す回路図であり、図中、図 19 と同等部分には同一符号を付して示している。本例に係る電流ドライバ回路では、図 19 の回路に、データ線駆動制御信号 d_e で制御される TFT 5 4 を追加した構成となっている。TFT 5 4 は、データ線 1 3 との TFT 5 1 のドレインとの間に接続され、そのゲートに駆動制御信号 d_e が与えられる。この回路例でも、TFT 5 1, 5 2, 5 4 を NMOS で構成しているが、これは一例であって、これに限られるものではない。

【0137】このように、データ線 1 3 との TFT 5 1 のドレインとの間に、駆動制御信号 d_e で制御される TFT 5 4 を接続した構成を探ることにより、当該電流ドライバ回路を用いて図 1、図 8、図 11 あるいは図 12 に示すようなアクティブマトリクス型表示装置を構成することが可能となる。特に、図 8、図 11 あるいは図 12 の構成のアクティブマトリクス型表示装置に適用した

は全く同じ回路構成となっている。

【0132】図 19 から明らかなように、本例に係る電流ドライバ回路は、2つの TFT 5 1, 5 2 および 1 つのキャパシタ 5 3 から構成されている。TFT 5 1 は、データ線 1 3 とグランドとの間に接続されている。TFT 5 2 は、TFT 5 1 のゲートと信号入力線 1 6 との間に接続されている。キャパシタ 5 3 は、TFT 5 1 のゲートとグランドとの間に接続されている。この回路例では、TFT 5 1, 5 2 を NMOS で構成しているが、これは一例であって、これに限られるものではない。

【0133】上記構成の電流ドライバ回路では、輝度データ s_{in} が信号入力線 1 6 を通して電圧の形で電圧源 VS によって与えられる点が特徴である。輝度データ s_{in} の書き込み時は、書き込み制御信号 w_e を選択状態（ここでは、高レベル）として信号入力線 1 6 に電圧 V_w を印加すると、TFT 5 2 が導通状態であるため、TFT 5 1 のゲート・ソース間電圧 V_{gs} が書き込み電圧 V_w となる。

【0134】この書き込み電圧 V_w は、書き込み制御信号 w_e が非選択状態になってもキャパシタ 5 3 によって保持される。TFT 5 1 が飽和領域で動作していれば、TFT 5 1 を流れる電流 I_d は、

場合に、データ線ドライバ回路が 2 列（2 系統）設置されていることから、データ線ドライバ回路への書き込みとデータ線 1 3 - 1 ~ 1 3 - m の駆動を交互に行わせることによってそれぞれの動作時間に余裕が生ずる。

【0138】[第8回路例] 図 22 は、電圧書き込み型電流ドライバ回路のさらに他の回路例を示す回路図であり、図中、図 21 と同等部分には同一符号を付して示している。本例に係る電流ドライバ回路では、図 21 の回路に、TFT 5 1 のゲートとドレインとの間に接続されたリセット TFT 5 7 と、TFT 5 1 のゲートと TFT 5 2 のソースとの間に接続されたデータ書き込みキャパシタ 5 8 を追加した構成となっている。

【0139】ところで、図 21 の回路例では、輝度データが電圧の形で与えられ、それがそのままキャパシタ 5 3 に保持され、その保持された電圧に基づいて TFT 5 1 がデータ線に電流を流す構成となっているが、この構成では、TFT 5 1 のしきい値がばらつくと、(1) 式に従って駆動電流がばらつき、画像の品位を損ねる可能性がある。

【0140】これに対し、本回路例に係る電圧書き込み型電流ドライバ回路では、リセット TFT 5 7 によって TFT 5 1 のゲート・ドレインを所定の期間電気的に短絡させる動作を行った後、TFT 5 1 のゲートと信号入力線 1 6 をデータ書き込みキャパシタ 5 8 によって容量結合させる構成を探ることにより、TFT 5 1 のしきい値がばらついても、駆動電流がばらつかないため、画

像の品位を損ねることはない。以下に、図23のタイミングチャートを用いてその具体的な動作説明を行う。

【0141】先ず、TFT54がオン状態であるとき、リセットTFT57のゲートに高レベルのリセット信号 r_{st} を与えることによって当該TFT57をオン状態とする。すると、TFT51のゲート・ドレインが電気的に短絡されるが、このときTFT54がオン状態であって、データ線からTFT54およびTFT51を介してグランドに向かって電流が流れているため、TFT51のゲート・ソース間電圧は、そのしきい値 V_{th} よりも高くなっている。

【0142】次に、TFT54のゲートに与えられる駆動信号 d_e が低レベルになることによってTFT54がオフ状態になると、TFT51を流れる電流は、所定の時間を経過した後にゼロになる。このとき、そのドレイ

$$\Delta V_g = V_w \times C_d / (C_d + C_o) \quad \dots (19)$$

だけ上昇する。信号電圧 V_w の印加前には $V_g = V_{th}$ であったから、TFT51のゲート・ソース間電圧 V_g

$$V_g = V_{th} + \Delta V_g = V_{th} + V_w \times C_d / (C_d + C_o) \quad \dots (20)$$

となる（以下、この動作を被書き込み動作と称する）。

【0144】信号電圧 V_w の印加後はTFT52をオフ状態とし、TFT54のゲートに駆動制御信号 d_e を与

$$I_d = \mu C_o \times W / L \times (V_w \times C_d / (C_d + C_o))^2 \quad \dots (21)$$

となる（以下、この動作を駆動動作と称する）。
1) 式はしきい値 V_{th} を含まないことから、駆動電流値 I_d はTFT51のしきい値 V_{th} のばらつきによらないことがわかる。

【0145】図24は、第8回路例の変形例を示す回路図であり、図中、図22と同等部分には同一符号を付して示している。本変形例に係る電流ドライバ回路では、キャパシタ53がデータ書き込みキャパシタ58の出力端とグランドとの間に接続されている第8回路例に対して、データ書き込みキャパシタ58の入力端とグランドとの間に接続されている点が相違しているのみであり、その他の構成および動作タイミングチャートは同じである。

【0146】このように、キャパシタ53をデータ書き込みキャパシタ58の入力端とグランドとの間に接続した構成を探すことにより、信号電圧 V_w を印加した後のTFT51のゲート・ソース間電圧 V_{gs} がほぼ $V_{th} + V_w$ で与えられる。すなわち、第8回路例に係る電流ドライバ回路に比べて、同じ信号電圧 V_w に対してより大きなゲート・ソース間電圧 V_{gs} が得られる利点がある。

【0147】図25は、第8回路例のさらに他の変形例を示す回路図であり、図中、図24と同等部分には同一符号を付して示している。本変形例に係る電流ドライバ回路では、データ書き込みキャパシタ58の信号入力線側ノードと所定の電位点（本例では、グランド）との間

・ゲート間がTFT57によって短絡されているため、TFT51のドレインおよびゲートの電位は次第に低下していき、その値がTFT51のしきい値 V_{th} となつた状態で安定する。このとき、TFT52のゲートに高レベルの書き込み制御信号 w_e が印加されることで、信号入力線16は所定の電位（本例では、グランドレベル）にされている（以下、この動作をリセット動作と称する）。その後に、信号入力線16に信号電圧 V_w を印加する。

【0143】信号入力線16とTFT51のゲートとは、データ書き込みキャパシタ58を介して、即ち容量結合で接続されているため、キャパシタ53、58の容量値を C_o 、 C_d とすると、TFT51のゲート電位は概ね

$$\dots (19)$$

s は、

えることによって当該TFT54をオン状態とすれば、TFT51によってデータ線に電流が流れる。このとき、その電流値 I_d は（1）式および（20）式から

に接続されたスイッチ素子、例えばTFT59が新たに付加された点およびそれに対応するリセット動作の点で、図24の回路例に係る電流ドライバ回路と相違している。

【0148】以下に、本変形例に係る電流ドライバ回路の動作について、図26のタイミングチャートを用いて説明する。リセット動作時には、図24の回路例と同様に、TFT57のゲートに高レベルのリセット信号 r_{st} を与えることによって当該TFT57をオン状態にすることで、TFT51のゲート・ドレインが電気的に短絡される。

【0149】次に、TFT54のゲートに与えられる駆動信号 d_e が低レベルとなってTFT54がオフ状態になると、図24の回路例と同様に、TFT51のゲートおよびドレインはそのしきい値 V_{th} となった状態で安定する。ただしこのとき、TFT52のゲートに与えられる書き込み制御信号 w_e は低レベルのままであり、代わりに新たに付加されたTFT59がリセット信号 r_{st} によってオン状態となるため、そのドレイン電位は所定の電位（本例では、グランドレベル）になる。

【0150】その後、リセット信号 r_{st} が低レベルとなることで、TFT59はオフ状態となり、しかる後に書き込み制御信号 w_e が高レベルとなる。信号入力線16には信号電圧 V_w が印加されているので、データ書き込みキャパシタ58を介して信号電圧 V_w が駆動トランジスタ51のゲートに伝達され、そのゲート・ソース間

電圧は図24の回路例と同様に、概ね $V_{th} + V_w$ となる。

【0151】このように、図25の回路例に係る電流ドライバ回路においては、基本的な動作は図24の回路例と同様であるが、そのメリットは、信号入力線16の制御が簡単になるとともに、書き込み速度が速くなる点にある。すなわち、図24の回路例のように、リセット動作時に、信号入力線16およびTFT52を介してキャパシタ53を基準電位（本例では、グランドレベル）にリセットする構成を探った場合には、信号入力線16の電位の制御が必要となる。

【0152】これに対して、図25の回路例では、TFT59によって簡単にキャパシタ53のリセットを行うことができるため、信号入力線16に基準電位を与える必要がない。したがって、信号入力線16の制御が簡単になり、しかも例えば図26に示すように、データ線駆動回路への信号電圧 V_w の書き込み終了後は、信号入力線16は任意の電位、例えば次の書き込みサイクルの信号電圧とされて良いため、信号電圧 V_w の書き込みを高速に行えることになる。

【0153】〔第4実施形態〕図27は、本発明の第4実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図であり、図中、図18と同等部分には同一符号を付して示している。本実施形態に係るアクティブマトリクス型表示装置は、第3実施形態に係るアクティブマトリクス型表示装置と異なる点は、データ線ドライバ回路19'の構成にある。

【0154】すなわち、第3実施形態に係るアクティブマトリクス型表示装置では、データ線ドライバ回路19が1系統の電圧書き込み型電流ドライバ回路（CD）19-1～19-mによって構成されているのに対して、本実施形態に係るアクティブマトリクス型表示装置では、データ線ドライバ回路19'が3系統の電圧書き込み型電流ドライバ回路19A-1～19A-m, 19B-1～19B-m, 19C-1～19C-mによって構成されている。

【0155】そして、3系統の電圧書き込み型電流ドライバ回路19A-1～19A-m, 19B-1～19B-m, 19C-1～19C-mとして、先述した第8回路例に係る電圧書き込み型電流ドライバ回路、即ち駆動TFT51のゲート・ドレインを所定の期間電気的に短絡させる動作を行った後、TFT51のゲートと信号入力線16とを容量結合させることで、TFT51のしきい値がばらついても、駆動電流がばらつかないようにしたドライバ回路が用いられる。

【0156】電圧書き込み型電流ドライバ回路をデータ線毎に3系統設けた理由は次の通りである。すなわち、第8回路例に係る電流ドライバ回路は、先述したように、リセット動作・被書き込み動作・駆動動作の3種類の動作を繰り返すことによって所望の機能を果たす。そ

こで、本実施形態に係るアクティブマトリクス型表示装置では、ある走査サイクルにおいて、図28に示すように、3列（3系統）あるデータ線駆動回路のうち1列がリセット動作を、別の1列が被書き込み動作を、残りの1列が駆動動作を行うようにし、各々の動作を走査線切り替え周期ごとに切り替えるようにしている。

【0157】このように、リセット動作・被書き込み動作・駆動動作の3種類の動作を繰り返すことによって所望の機能を果たす電圧書き込み型電流ドライバ回路をデータ線ドライバ回路として用いたアクティブマトリクス型表示装置において、電圧書き込み型電流ドライバ回路を1本のデータ線について3系統ずつ設け、ある走査サイクルにおいて1系統のドライバ回路がリセット動作を、他の1系統のドライバ回路が被書き込み動作を、残りの1系統のドライバ回路が駆動動作を行うようにしたことで、各々の動作に1走査線の切り替え周期（1H）を費やすことが可能となるため、確実な動作が可能となる。

【0158】〔第5実施形態〕図29は、本発明の第5実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図であり、図中、図1と同等部分には同一符号を付して示している。本実施形態に係るアクティブマトリクス型表示装置は、第1実施形態に係るアクティブマトリクス型表示装置と基本的な構成が全く同じであり、これに加えて、信号入力線16とグランドとの間に、例えばNMOSトランジスタからなるリーク素子（LK）55を接続した点を特徴としている。

【0159】以下に、リーク素子55の作用について説明する。電流書き込み型の画素回路において、「黒」を書き込むケースは書き込み電流がゼロの場合に相当する。このとき、直前の書き込みサイクルにおいて信号入力線16に「白」レベル、即ち比較的大きな電流が書き込まれ、結果として、信号入力線16の電位が比較的高いレベルになっていたとすると、その直後に「黒」を書き込むのには長い時間が必要である。

【0160】なんとなれば、「黒」を書き込むというのは、例えば図4に示す電流ドライバ回路において、TFT31によって信号入力線16の容量C_sなどに蓄えられた初期電荷がディスチャージされ、図30に示すように、信号入力線16の電圧がTFT31のしきい値になるということである。このように、信号入力線16の電圧が下がってTFT31のしきい値近傍になると、TFT31のインピーダンスが高くなり、理論的には永久に「黒」書き込みが終了しない。現実には、有限の時間で書き込みを行う訳であるから、これは「黒」レベルが完全に沈まない、いわゆる黒浮き現象として現れ、画像のコントラストを低下させる。

【0161】これに対し、本実施形態に係るアクティブマトリクス型表示装置では、信号入力線16と所定の電位点（例えば、接地電位）との間にリーク素子55、具

体的にはNMOSトランジスタを接続し、そのゲート電圧 V_g として一定バイアスを与えるようにしている。これにより、図30に示すように、「黒」書き込み時にTFT31のしきい値近傍においてもデータ線電位が比較的高速に低下し、上述した黒浮きを防止することができる。

【0162】なお、リーコンデンサー55としては、単純な抵抗素子などでも良いが、その場合、「白」書き込み時にデータ線電位が上昇すると、それに比例して抵抗素子に流れる電流が増加する。これは、図4に示す電流ドライバ回路において、TFT31に流れる電流の低下や消費電力の悪化を招く。

【0163】これに対して、図29に示すように、リーコンデンサー55としてNMOSトランジスタを使用し、当該トランジスタを飽和領域で動作させれば定電流動作となるため、そのような弊害を最小限に抑えることができる。また、NMOSトランジスタのリーコンデンサー(LK)55を、必要なとき(例えば、黒書き込み時)にのみ導通状態になるようにゲート電位を制御する構成を探ることもできる。

【0164】このように、信号入力線16と接地電位との間にリーコンデンサー55を接続する構成は、データ線ドライバ回路として図4のような電流書き込み型のドライバ回路を用いた図1の構成のアクティブマトリクス型表示装置への適用に限られるものではなく、他の電流書き込み型のドライバ回路、あるいは図19のような電圧書き込み型のデータ線ドライバ回路を用いた構成のアクティブマトリクス型表示装置にも同様に適用可能である。なお、リーコンデンサー55としては、TFTで構成することも、TFTプロセスとは別個に外部部品で構成することも可能である。

【0165】[第6実施形態] 図31は、本発明の第6実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図であり、図中、図1と同等部分には同一符号を付して示している。本実施形態に係るアクティブマトリクス型表示装置は、第1実施形態に係るアクティブマトリクス型表示装置と基本的な構成が全く同じであり、これに加えて、信号入力線16と正電源 V_{dd} との間に、初期値設定用素子、例えばPMOSトランジスタからなるプリチャージ素子(PC)56を接続した点を特徴としている。

【0166】以下に、プリチャージ素子56の作用について説明する。電流書き込み型の画素回路において、黒に近いグレーを書き込む際に長い時間を要する場合がある。図32では、書き込み開始時のデータ線の電位が0Vである場合を示している。これは、直前の書き込みサイクルにおいて「黒」を書いた場合で、書き込まれた電流ドライバ回路(例えば、図4の場合)のTFT31のしきい値が0V程度と低い場合、あるいは同様に黒書き込みの場合であって、前述のような黒浮き対策用のリー

ク素子55を備えた場合に起こり得る。

【0167】従来技術では、初期値の0Vから「黒」に近いグレー、即ち非常に小さな電流値を書き込んでいるため、平衡電位に達するのに長い時間がかかる。例えば、所定の書き込み時間内にTFT31のしきい値に達しないことも考えられる。この場合、TFT31はデータ線13の駆動時にオフ状態となり、表示画像はいわゆる黒潰れの状態となる。

【0168】本実施形態に係るアクティブマトリクス型表示装置では、データ線13と電源電位 V_{dd} との間に、プリチャージ素子56としてPMOSトランジスタを接続し、そのゲート電位 V_g として、書き込みサイクルの最初にパルスを与えるようにしている。このパルス印加によって、信号入力線16の電圧がTFT31のしきい値以上に上昇し、その後は書き込み電流 I_w とデータ線ドライバ回路内部のTFTの動作とのバランスで決まる平衡電位に向かって比較的高速に収束するので、正しい輝度データの書き込みが高速で可能になる。

【0169】このように、信号入力線16と正電源 V_{dd} との間にプリチャージ素子56を接続する構成は、データ線ドライバ回路として図4のような電流書き込み型のドライバ回路を用いた図1の構成のアクティブマトリクス型表示装置への適用に限られるものではなく、他の電流書き込み型のドライバ回路を用いた構成のアクティブマトリクス型表示装置にも同様に適用可能である。なお、プリチャージ素子56としては、TFTで構成することも、TFTプロセスとは別個に外部部品で構成することも可能である。

【0170】なお、上記各実施形態では、電流書き込み型画素回路11の表示素子として、有機EL素子を用いたアクティブマトリクス型有機EL表示装置に適用した場合を例に採って説明したが、本発明はこれに限定されるものではなく、流れる電流によって輝度が変化する電気光学素子を表示素子として用いたアクティブマトリクス型表示装置全般に適用し得るものである。

【0171】また、上記各実施形態で用いる各回路例においては、書き込み電流を電圧に変換する変換部としての第1の電界効果トランジスタと、キャパシタ(保持部)で保持した電圧を駆動電流に変換してデータ線を駆動する駆動部としての第2の電界効果トランジスタとをそれぞれ別々のトランジスタで構成するとしたが、同一のトランジスタで構成し、電流-電圧の変換動作とそれに基づくデータ線の駆動動作とを時分割的に行うように構成することも可能である。これによれば、原理的に、両動作間にばらつきが生じない。

【0172】

【発明の効果】以上説明したように、本発明によれば、電流書き込み型の画素回路を用いたアクティブマトリクス型表示装置において、画像情報を駆動回路で電圧の形で一旦保持した後、電流の形に変換して複数本のデータ

線の各々に（一括して同時に）与えることによって各画素回路に対する画像情報の書き込み駆動を行うようにしたことにした。これにより、各画素回路への画像情報の書き込みを線順次にて行うことができ、表示パネルと外部のデータドライバ回路との接続点数を削減しつつ正常な電流書き込み動作を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図2】第1実施形態に係るアクティブマトリクス型表示装置の回路動作を説明するためのタイミングチャートである。

【図3】有機EL素子の構成の一例を示す断面構造図である。

【図4】データ線ドライバ回路の第1回路例を示す回路図である。

【図5】第1回路例に係るデータ線ドライバ回路の回路動作のタイミングチャートである。

【図6】データ線ドライバ回路の第2回路例を示す回路図である。

【図7】第2回路例の変形例を示す回路図である。

【図8】本発明の第2実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図9】第2実施形態に係るアクティブマトリクス型表示装置の回路動作を説明するためのタイミングチャートである。

【図10】データ線ドライバ回路の第3回路例を示す回路図である。

【図11】第2実施形態の変形例に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図12】第2実施形態の他の変形例に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図13】第2実施形態のさらに他の変形例に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図14】データ線ドライバ回路の第4回路例を示す回路図である。

【図15】第4回路例に係るデータ線ドライバ回路の回路動作のタイミングチャートである。

【図16】第4回路例の変形例を示す回路図である。

【図17】データ線ドライバ回路の第5回路例を示す回路図である。

【図18】本発明の第3実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図19】データ線ドライバ回路の第6回路例を示す回路図である。

【図20】第6回路例に係るデータ線ドライバ回路の回路動作のタイミングチャートである。

【図21】データ線ドライバ回路の第7回路例を示す回

路図である。

【図22】データ線ドライバ回路の第8回路例を示す回路図である。

【図23】第8回路例に係るデータ線ドライバ回路の回路動作のタイミングチャートである。

【図24】第8回路例の変形例を示す回路図である。

【図25】第8回路例のさらに他の変形例を示す回路図である。

【図26】第8回路例のさらに他の変形例に係るデータ線ドライバ回路の回路動作のタイミングチャートである。

【図27】本発明の第4実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図28】第4実施形態に係るアクティブマトリクス型表示装置の動作説明図である。

【図29】本発明の第5実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図30】第5実施形態に係るアクティブマトリクス型表示装置におけるリーク素子（LK）の効果を説明する図である。

【図31】本発明の第6実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図32】第6実施形態に係るアクティブマトリクス型表示装置におけるプリチャージ素子（PC）の効果を説明する図である。

【図33】従来例に係る画素回路の回路構成を示す回路図である。

【図34】線順次駆動方式のアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図35】従来例に係る電流書き込み型画素回路の回路構成を示す回路図である。

【図36】従来例に係る電流書き込み型画素回路の回路動作を説明するためのタイミングチャートである。

【図37】点順次駆動方式のアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図38】点順次駆動方式のアクティブマトリクス型表示装置の回路動作を説明するためのタイミングチャートである。

【図39】電流書き込み型画素回路を採用した場合のアクティブマトリクス型表示装置の構成例を示すブロック図である。

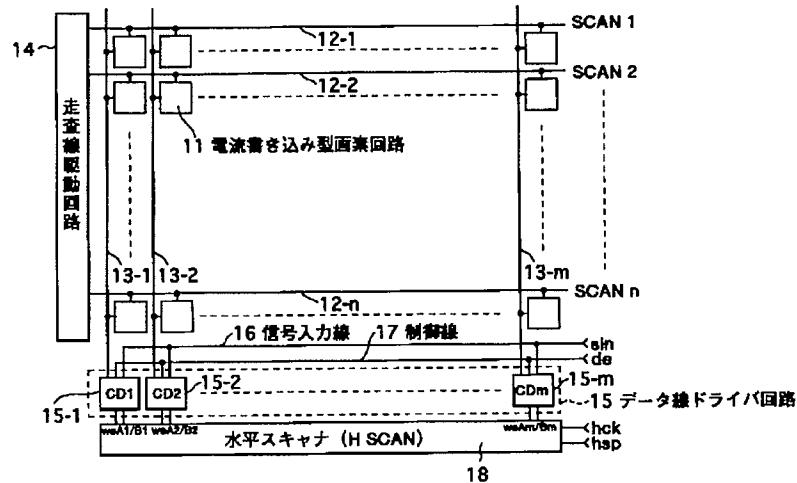
【符号の説明】

1 1…電流書き込み型画素回路、1 2 – 1 ~ 1 2 – n …走査線、1 3 – 1 ~ 1 3 – m, 1 3 U – 1 ~ 1 3 U – m, 1 3 D – 1 ~ 1 3 D – m …データ線、1 4 …走査線駆動回路、1 5, 1 9 …データ線ドライバ回路、1 5 – 1 ~ 1 5 – m, 1 5 A – 1 ~ 1 5 A – m, 1 5 B – 1 ~ 1 5 B – m …電流書き込み型電流ドライバ回路、1 6, 1 6 – 1, 1 6 – 2, 1 6 U – 1, 1 6 U – 2, 1 6 D – 1, 1 6 D – 2 …信号入力線、1 8 …水平スキャナ

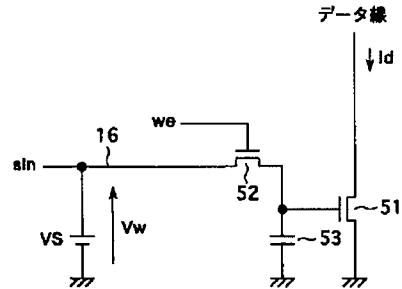
(H SCAN)、19-1~19-m, 19A-1~19
9A-m, 19B-1~19B-m, 19C-1~19

C-m…電圧書き込み型電流ドライバ回路、55…リー
ク素子、56…プリチャージ素子

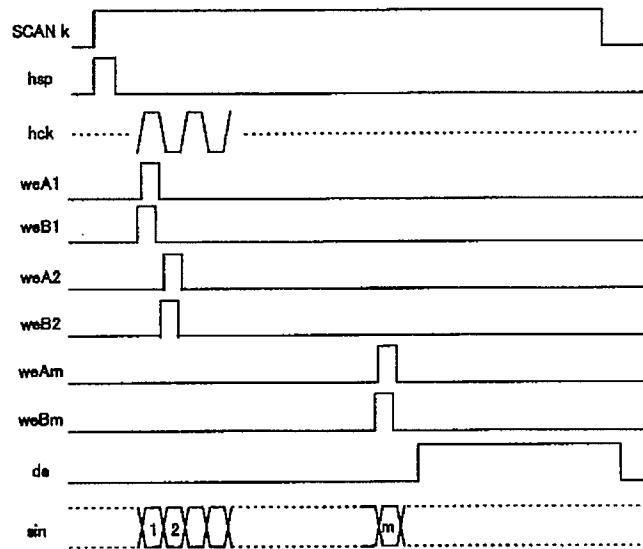
【図1】



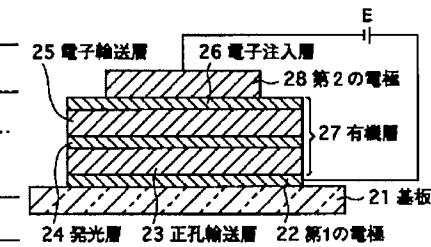
【図19】



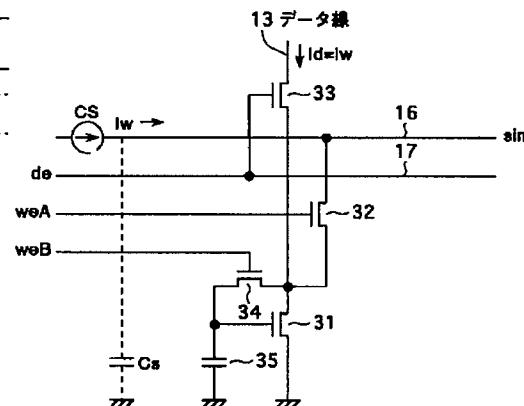
【図2】



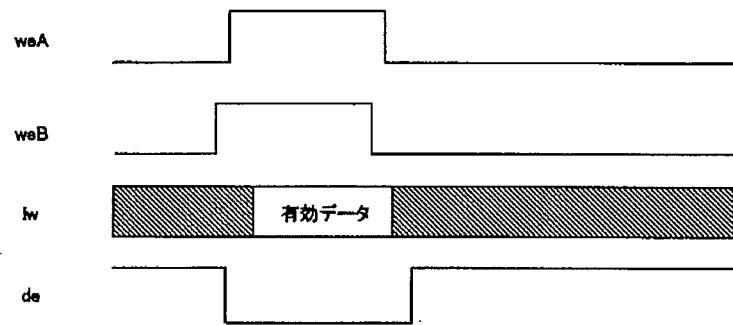
【図3】



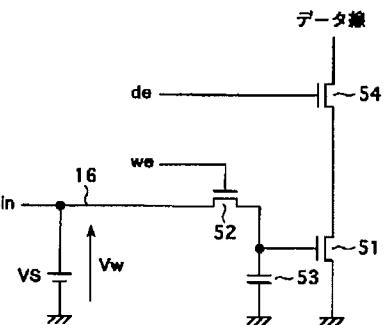
【図4】



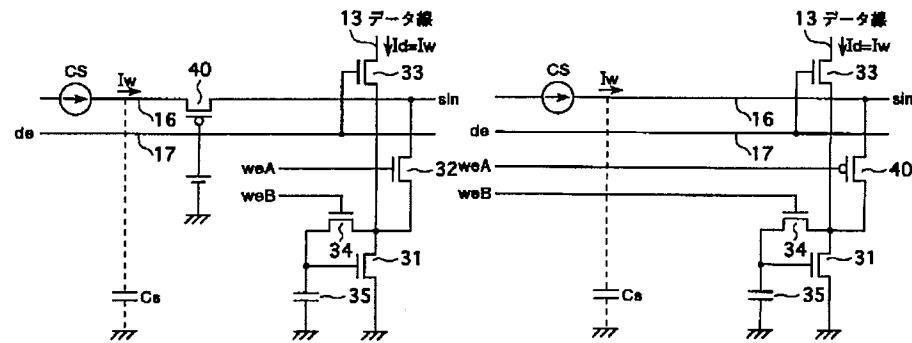
【図5】



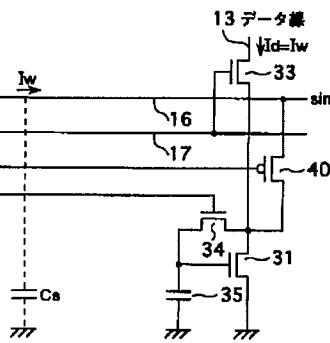
【図21】



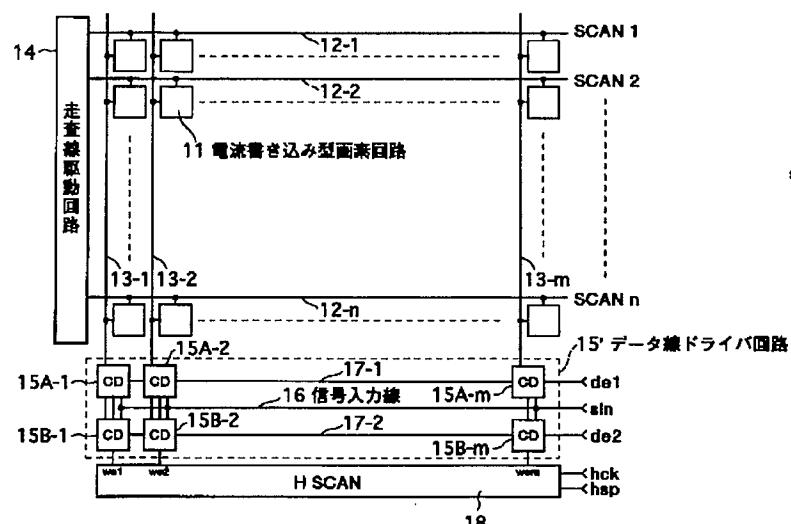
【図6】



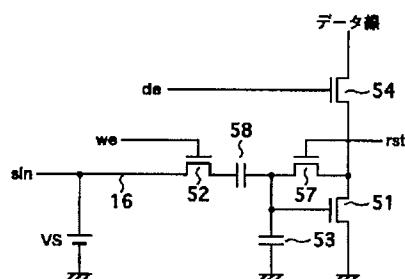
【図7】



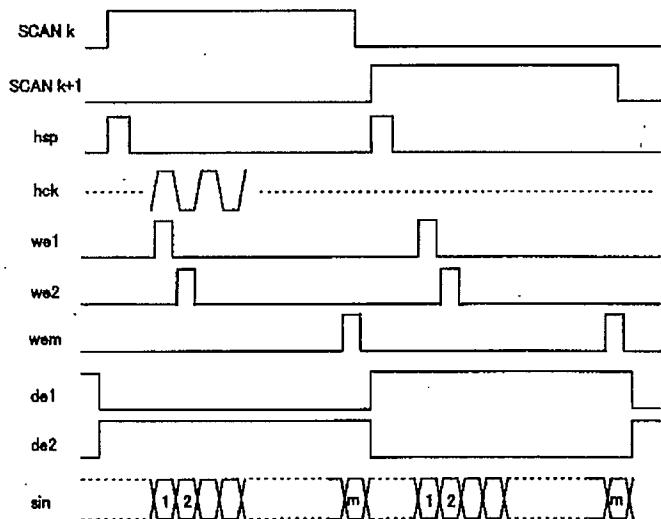
【図8】



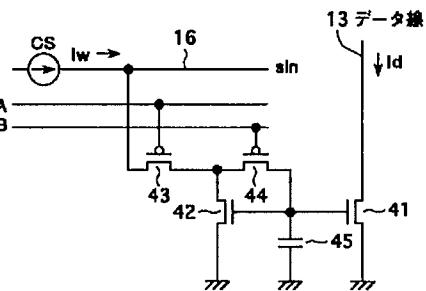
【図22】



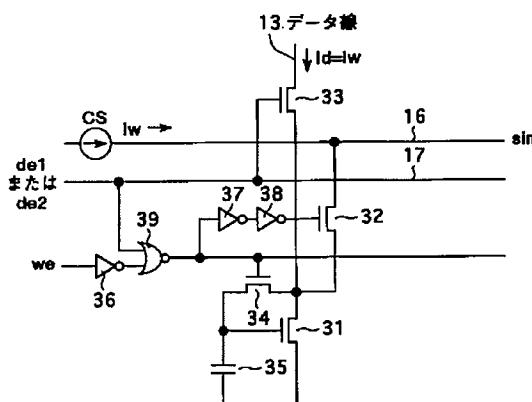
【図 9】



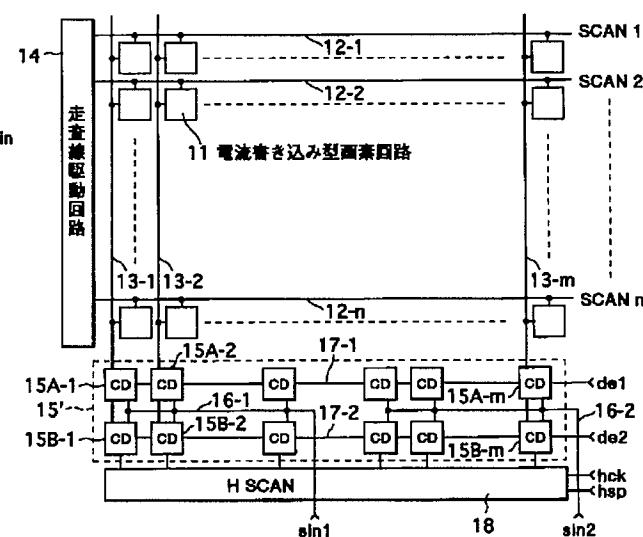
【図 14】



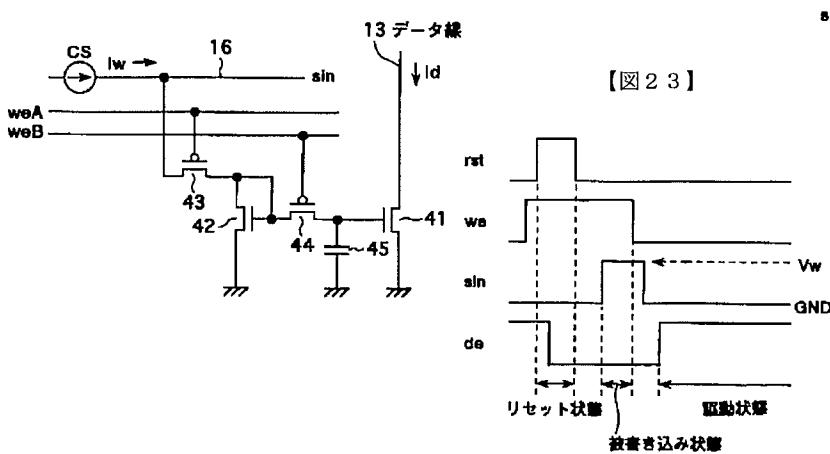
【図 10】



【図 11】

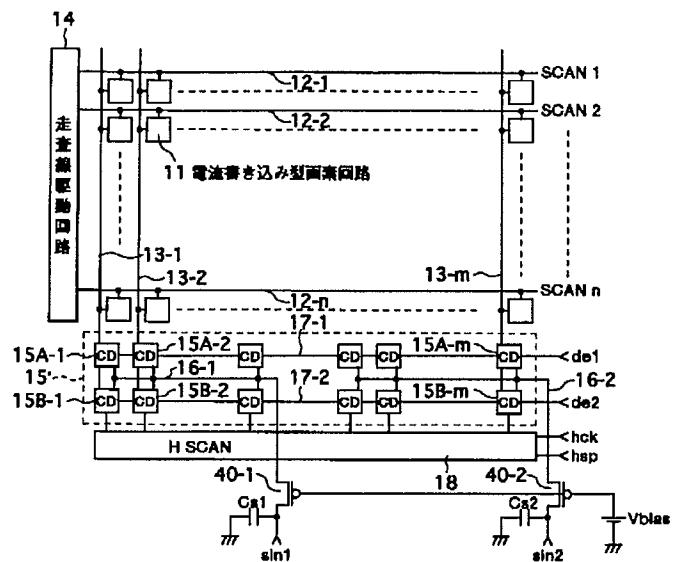


【図 16】

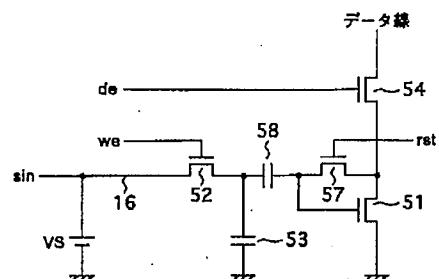


【図 23】

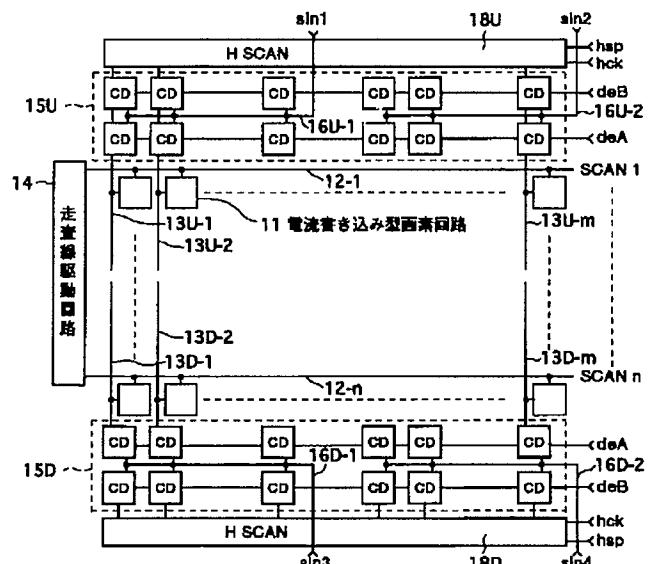
【図12】



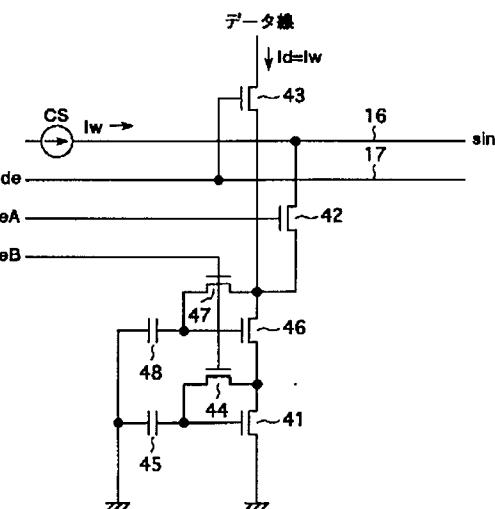
【図24】



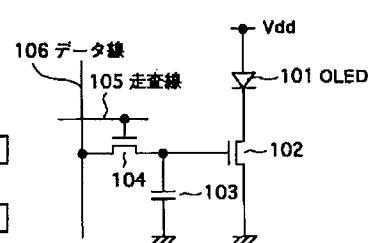
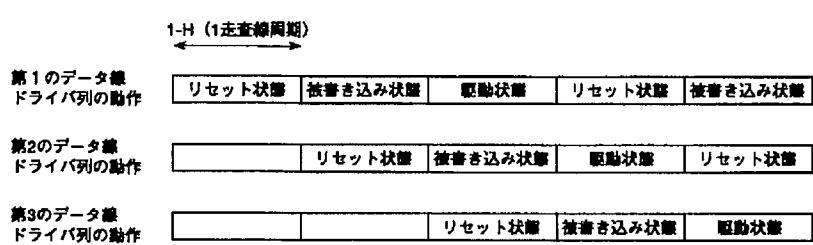
【図13】



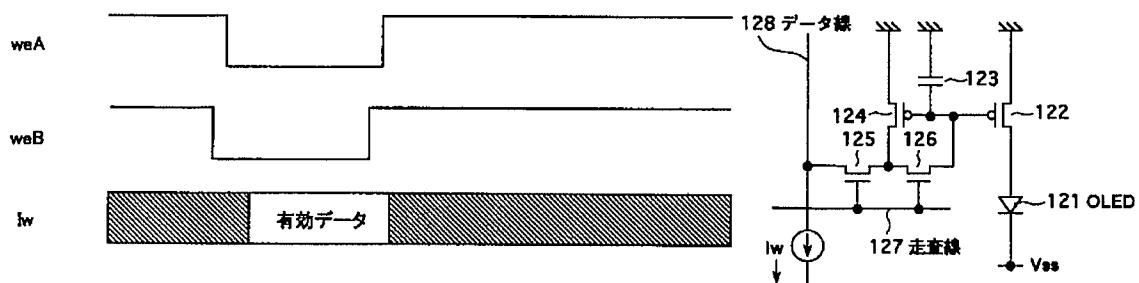
【図17】



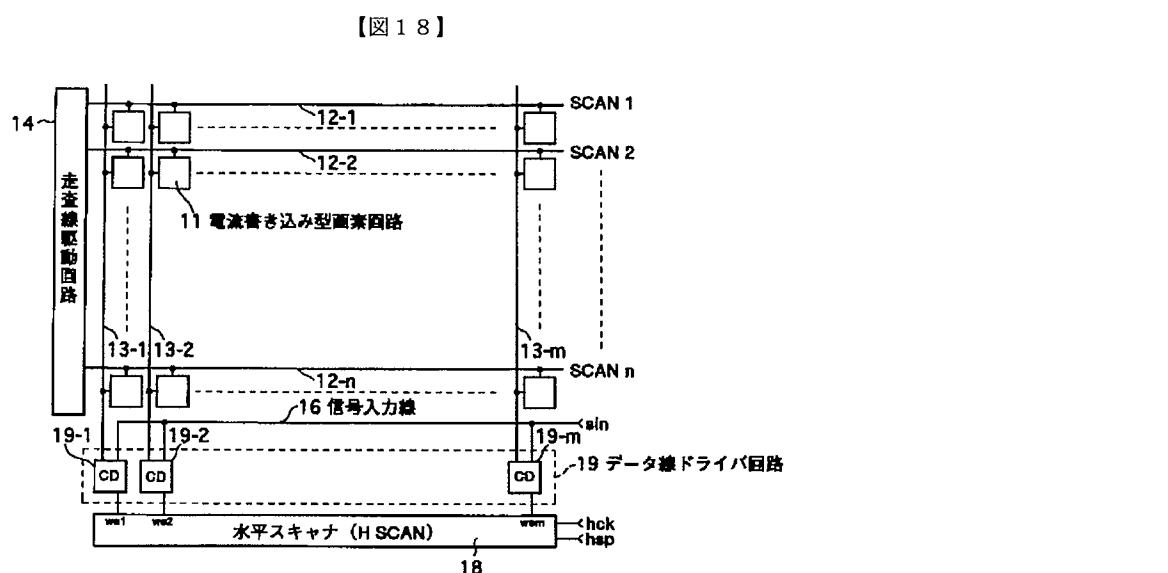
【図28】



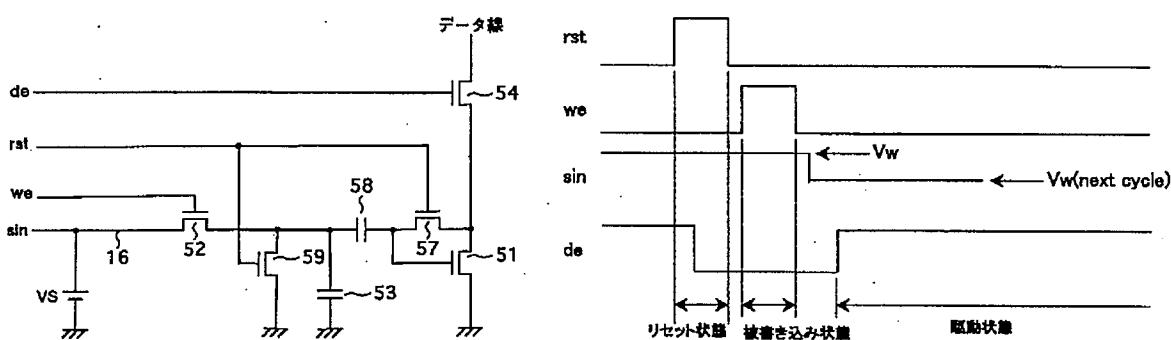
【図15】



【図35】

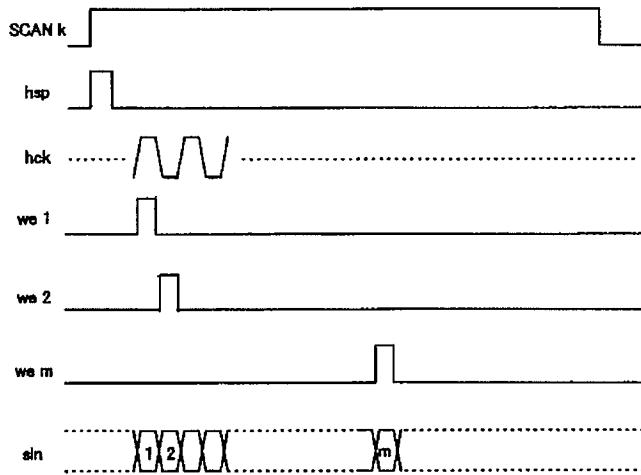


【図25】

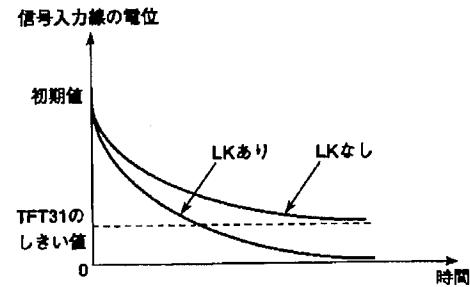


【図26】

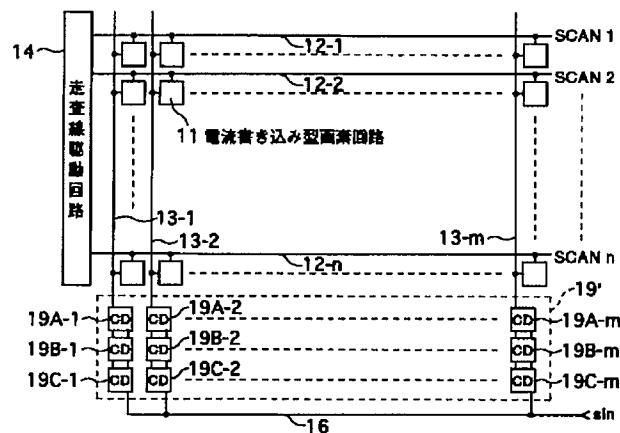
【図20】



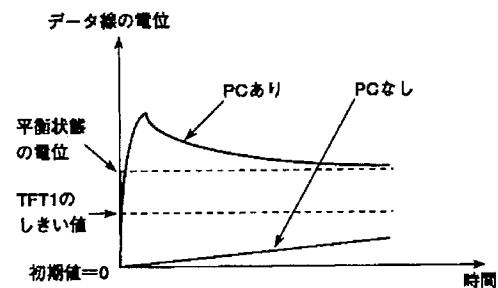
【図30】



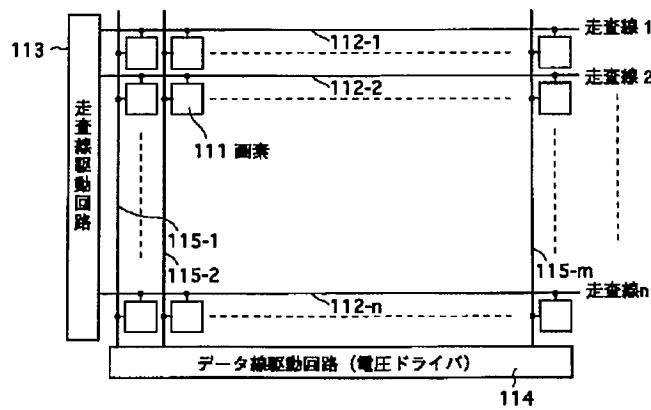
【図27】



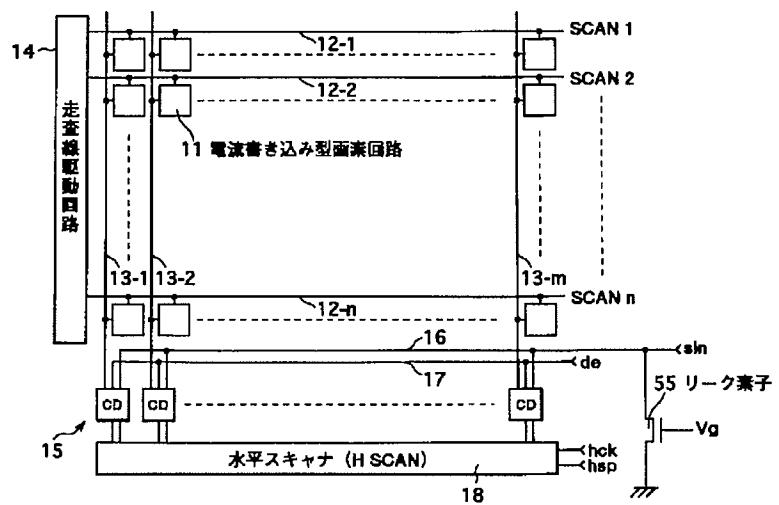
【図32】



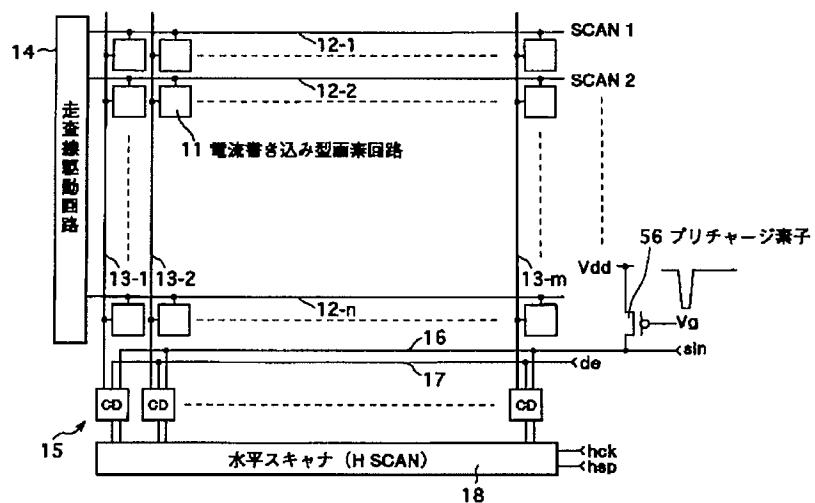
【図34】



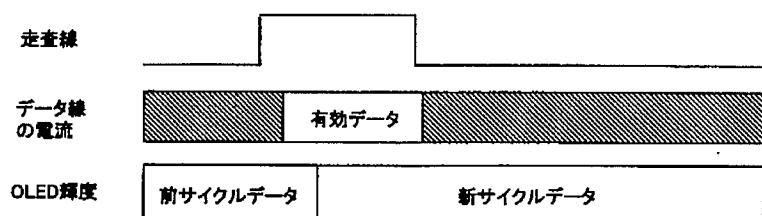
【図29】



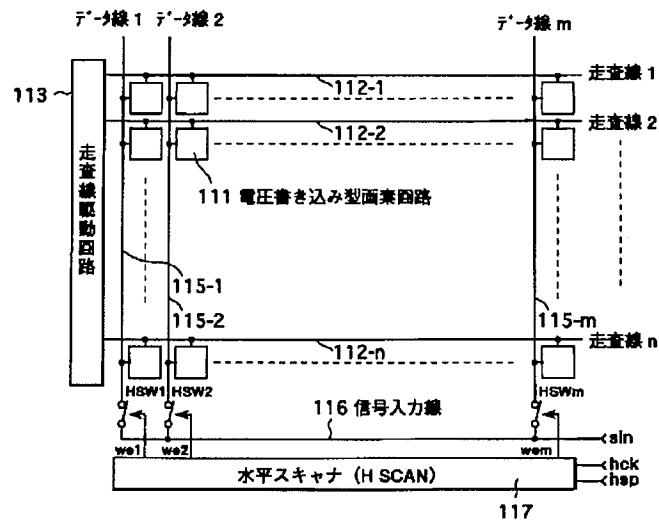
【図31】



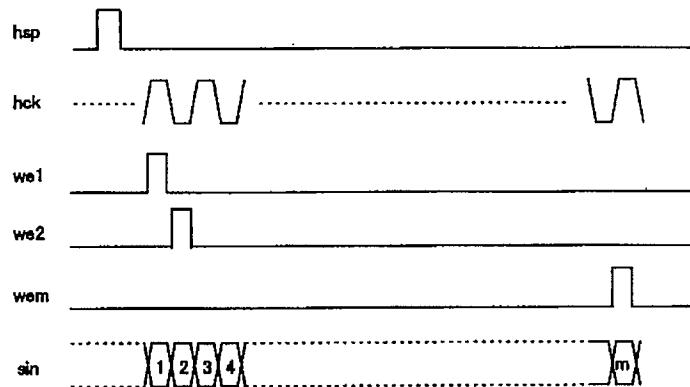
【図36】



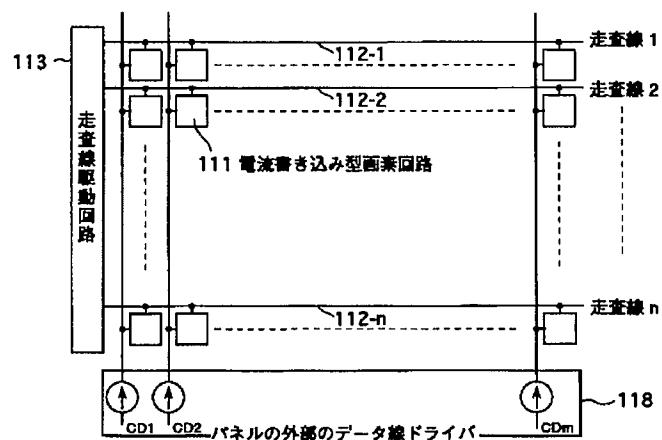
【図37】



【図38】



【図39】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	マークコード(参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 D
H 0 5 B 33/14		H 0 5 B 33/14	A

F ターム(参考) 3K007 AB18 DA01 DB03 EB00 GA00
5C080 AA06 BB05 DD09 DD23 EE29
FF11 FF12 JJ02 JJ03 JJ04
JJ05
5C094 AA25 AA43 AA45 BA03 BA29
CA19 DB01 DB04 EA04 EA07